

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

J1046 U.S. PTO
09/852220
05/09/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 5月12日

出 願 番 号
Application Number:

特願2000-140043

出 願 人
Applicant (s):

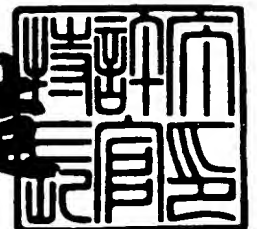
株式会社半導体エネルギー研究所

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 4月 6日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3026062

【書類名】 特許願

【整理番号】 P004914

【提出日】 平成12年 5月12日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 31/12

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 山崎 舜平

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 小山 潤

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 高山 徹

【特許出願人】

 【識別番号】 000153878

 【氏名又は名称】 株式会社半導体エネルギー研究所

 【代表者】 山崎 舜平

【手数料の表示】

 【予納台帳番号】 002543

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 発光装置および電気器具

【特許請求の範囲】

【請求項 1】

画素部および駆動回路を同一の絶縁体上に含む発光装置において、
前記画素部および前記駆動回路を形成する全ての半導体素子は n チャネル型の半導体素子であることを特徴とする発光装置。

【請求項 2】

画素部および駆動回路を同一の絶縁体上に含む発光装置において、
前記画素部にはスイッチング素子および電流制御素子が設けられ、前記駆動回路にはインバータ回路が設けられ、
前記スイッチング素子、前記電流制御素子および前記インバータ回路は全て n チャネル型の半導体素子からなることを特徴とする発光装置。

【請求項 3】

請求項 1 または請求項 2 において、前記絶縁体は両面もしくは片面に保護膜を設けたプラスチック基板であることを特徴とする発光装置。

【請求項 4】

請求項 1 または請求項 2 において、前記半導体素子は T F T であることを特徴とする発光装置。

【請求項 5】

請求項 1 または請求項 2 において、前記駆動回路は E E M O S 回路もしくは E D M O S 回路を含むことを特徴とする発光装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一において、前記画素部は複数の画素を含み、該複数の画素に E L 素子が設けられていることを特徴とする発光装置。

【請求項 7】

画素部および駆動回路を同一の絶縁体上に含む発光装置において、
前記駆動回路は n チャネル型の半導体素子で形成された複数の N A N D 回路からなるデコーダを含むことを特徴とする発光装置。

【請求項 8】

請求項 7 において、前記 N A N D 回路は直列に接続された n 個の n チャネル型の半導体素子および並列に接続された n 個の n チャネル型の半導体素子を含むことを特徴とする発光装置。

【請求項 9】

画素部および駆動回路を同一の絶縁体上に含む発光装置において、

前記駆動回路は n チャネル型の半導体素子で形成されたバッファを含み、

前記バッファは第 1 の n チャネル型の半導体素子および該第 1 の n チャネルの型半導体素子に直列に接続され、且つ、該第 1 の n チャネル型の半導体素子のドレインをゲートとする第 2 の n チャネル型の半導体素子を含むことを特徴とする発光装置。

【請求項 1 0】

画素部および駆動回路を同一の絶縁体上に含む発光装置において、

前記駆動回路は n チャネル型 T F T で形成された複数の N A N D 回路からなるデコーダおよび n チャネル型 T F T で形成されたバッファを含み、

前記バッファは第 1 の n チャネル型 T F T および該第 1 の n チャネル型 T F T に直列に接続され、且つ、該第 1 の n チャネル型 T F T のドレインをゲートとする第 2 の n チャネル型 T F T を含むことを特徴とする発光装置。

【請求項 1 1】

画素部および駆動回路を同一の絶縁体上に含む発光装置において、

前記駆動回路は E 型 N T F T および D 型 N T F T で形成された複数のフリップフロップ回路からなるシフトレジスタを含むことを特徴とする発光装置。

【請求項 1 2】

画素部および駆動回路を同一の絶縁体上に含む発光装置において、

前記駆動回路は E 型 N T F T および D 型 N T F T で形成された複数のフリップフロップ回路からなるシフトレジスタ並びに E 型 N T F T および D 型 N T F T で形成された複数の N A N D 回路を含むことを特徴とする発光装置。

【請求項 1 3】

画素部および駆動回路を同一の絶縁体上に含む発光装置において、

前記画素部は複数の画素を含み、

前記画素には複数の E 型 N T F T および複数の D 型 N T F T が設けられていることを特徴とする発光装置。

【請求項 1 4】

画素部および駆動回路を同一の絶縁体上に含む発光装置において、

前記画素部は複数の画素を含み、

前記画素には複数の E 型 N T F T および複数の D 型 N T F T で形成された S R A M が設けられていることを特徴とする発光装置。

【請求項 1 5】

請求項 1 3 または請求項 1 4 において、前記画素に E L 素子が設けられていることを特徴とする発光装置。

【請求項 1 6】

請求項 1 乃至請求項 1 4 のいずれか一に記載の発光装置を用いたことを特徴とする電気器具。

【請求項 1 7】

請求項 1 乃至請求項 1 4 のいずれか一に記載の発光装置を用いたことを特徴とするデジタルカメラ。

【請求項 1 8】

請求項 1 乃至請求項 1 4 のいずれか一に記載の発光装置を用いたことを特徴とする携帯電話。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、同一の絶縁体上に画素部および画素部に信号を伝送するための駆動回路を含む発光装置に関する。具体的には、一対の電極間に発光性材料からなる薄膜を挟んだ素子（以下、発光素子という）を有する装置（以下、発光装置という）に有効な技術である。

【0 0 0 2】

特に本発明は、陽極および陰極の間に E L (Electro Luminescence) が得られ

る発光性材料からなる薄膜（以下、E L 膜という）を挟んだ素子（以下、E L 素子という）を有する装置（以下、E L 発光装置という）に有効な技術である。

【0 0 0 3】

また、本発明は電極間に液晶材料を挟んだ素子（以下、液晶素子という）を有する装置（以下、液晶表示装置という）に実施することも可能である。

【0 0 0 4】

【従来の技術】

近年、アクティブマトリクス型E L 発光装置の開発が進んでいる。アクティブマトリクス型E L 発光装置は、画素部に設けられた各画素の各々に薄膜トランジスタ（以下、T F Tという）を設け、T F TによりE L 素子に流れる電流量を制御して各画素の発光輝度を制御する。そのため、画素数が増えても各画素に均一に電圧を供給できるので高精細な画像を得る場合に適している。

【0 0 0 5】

また、アクティブマトリクス型E L 発光装置の利点は、画素部に信号を伝送する駆動回路として、シフトレジスタ、ラッチもしくはバッファといった回路を同一の絶縁体上にT F Tで形成することが可能な点である。これにより非常に小さく軽量のE L 発光装置を作製することが可能となった。

【0 0 0 6】

しかしながら、アクティブマトリクス型E L 発光装置はT F Tの製造工程が複雑であると、製造コストが高くなるという問題を抱えていた。また、複数のT F Tを同時に形成するため、製造工程が複雑になると歩留まりを確保することが難しい。特に駆動回路に動作不良があると画素一行が動作しないといった線状欠陥を引き起こすこともある。

【0 0 0 7】

ここでアクティブマトリクス型E L 発光装置の基本的な構造を図1 8（A）、（B）に示す。図1 8（A）において、基板1 8 0 1上にはE L 素子に流れる電流を制御するためのT F T（以下、電流制御T F Tという）1 8 0 2が形成され、電流制御T F T 1 8 0 2には陽極1 8 0 3が接続されている。また、陽極1 8 0 3の上には有機E L 膜（E L が得られる発光性有機材料からなる薄膜）1 8 0

4、陰極 1 8 0 5 が形成され、陽極 1 8 0 3、有機 E L 膜 1 8 0 4 および陰極 1 8 0 5 からなる E L 素子 1 8 0 6 が形成されている。

【 0 0 0 8 】

このとき、有機 E L 膜 1 8 0 4 で生成された発光は陽極 1 8 0 3 を透過して図中の矢印の方向に向かって放射される。従って、T F T 1 8 0 1 は観測者から見て発光を遮る遮蔽物となってしまう、有効発光領域（観測者が発光を観測しうる領域）を狭める要因となっていた。また、有効発光領域が狭い場合、明るい画像を得るには発光輝度を上げる必要があったが、発光輝度を上げることは有機 E L 膜の駆動電圧を上げることになり劣化を早めることが懸念されていた。

【 0 0 0 9 】

そこで、図 1 8 （B）に示すような構造のアクティブマトリクス型 E L 発光装置が提案されている。図 1 8 （B）において、基板 1 8 0 1 上には電流制御 T F T 1 8 0 7 が形成され、電流制御 T F T 1 8 0 7 には陰極 1 8 0 8 が接続されている。また、陰極 1 8 0 8 の上には有機 E L 膜 1 8 0 9、陽極 1 8 1 0 が形成され、陰極 1 8 0 8、有機 E L 膜 1 8 0 9 および陽極 1 8 1 0 からなる E L 素子 1 8 1 1 が形成されている。即ち、図 1 8 （A）に示した E L 素子 1 8 0 6 とはちょうど逆向きの構造の E L 素子となる。

【 0 0 1 0 】

このとき、有機 E L 膜 1 8 0 9 で生成された光のうち陰極 1 8 0 8 側へ進行したものは殆ど陰極 1 8 0 8 で反射され陽極 1 8 1 0 を透過して図中の矢印の方向に向かって放射される。従って、陰極 1 8 0 8 が設けられた領域すべてを有効発光領域とすることが可能となり、光取り出し効率の高いアクティブマトリクス型 E L 発光装置が得られる。さらに、駆動電圧が低くても高い発光輝度が得られ、明るい画像が得られるといった利点がある。

【 0 0 1 1 】

【発明が解決しようとする課題】

本発明は、光取り出し効率の高い発光装置の製造コストを抑えることを課題とし、画質が明るく安価な発光装置を提供することを課題とする。また、本発明の発光装置を表示部に用いた画質が明るい表示部を有する安価な電気器具を提供す

ることを課題とする。

【0012】

【課題を解決するための手段】

本出願人は図18（B）に示すような光取り出し効率の高いEL発光装置を作製する場合、電流制御TFTとしてはnチャネル型TFTを用いることが望ましいと考えた。その理由について図16を用いて説明する。

【0013】

図19（A）は図18（B）の構造に対して電流制御TFTにpチャネル型TFTを用いた例である。このとき、電流制御TFT1901のソースは電流供給線1902に接続され、ドレインはEL素子1903の陰極に接続される。なお、この構造では電流供給線1902の電位を V_L （ローレベルの電位。ここでは接地電位に等しい。）とし、EL素子1903の陽極の電位を V_H （ハイレベルの電位。ここでは5～10V。）とする必要がある。

【0014】

また、電流制御TFT1901のゲートの電位を V_G とし、ソースの電位を V_S とし、ドレインの電位を V_D とする。このとき、電流制御TFT1901にかかるゲート電圧は $V_G - V_S$ 、ソースとドレインとの間にかかる電圧は $V_D - V_S$ 、ソース電圧は $V_S - V_L$ 、ドレイン電圧は $V_D - V_L$ で表される。また、 V_S はEL素子1903の陰極の電位でもあり、電流制御TFT1901のゲートが開くと電流供給線1902の電位 V_L に近づく。また、ドレインの電位 V_D は電流供給線1902の電位 V_L に等しい。

【0015】

ところが、図19（A）の構造の場合、電流制御TFT1901が開くと電位 V_S が変化する（ V_L に近づく）ため、ゲート電圧（ $V_G - V_S$ ）およびソースとドレインとの間にかかる電圧（ $V_D - V_S$ ）そのものが変化してしまう。その結果、電流制御TFT1901を流れる電流量が V_S の変化とともに変化し、EL素子1903に安定した電流を供給することができないという問題を生じる。

【0016】

一方、図18（B）の構造において電流制御TFTをnチャネル型TFTとし

た例を図 1 9 (B) に示す。この場合、電流制御 T F T 1 9 0 4 のソースの電位 V_S は常に電流供給線 1 9 0 2 の電位 V_L に等しいため、ゲート電圧 ($V_G - V_S$) およびソースとドレインとの間にかかる電圧 ($V_D - V_S$) が変化することはない。従って、E L 素子 1 9 0 3 に安定した電流を供給することができる。

【 0 0 1 7 】

以上のように、電流制御 T F T のドレインに E L 素子の陰極が接続される構造の画素とする場合、電流制御 T F T として n チャネル型 T F T を用いることが望ましいという認識を得た。

【 0 0 1 8 】

そこで本発明では、アクティブマトリクス型の発光装置の製造コストを低減するために全ての半導体素子（代表的には T F T）を n チャネル型の半導体素子とすることを特徴とする。これにより p チャネル型の半導体素子の製造工程が削減されるため発光装置の製造工程が簡略化され製造コストを低減することができる。

【 0 0 1 9 】

また、n チャネル型の半導体素子だけで駆動回路を形成する点も特徴の一つである。即ち、一般的な駆動回路は n チャネル型の半導体素子と p チャネル型の半導体素子とを相補的に組み合わせた C M O S 回路を基本に設計されるが、本発明では n チャネル型の半導体素子のみを組み合わせで駆動回路を形成する点にも特徴がある。

【 0 0 2 0 】

【発明の実施の形態】

本発明の実施の形態では、画素部と、その画素部に信号を伝送するための駆動回路とを同一の絶縁体上に形成したアクティブマトリクス型 E L 発光装置を図 1 に示す。

【 0 0 2 1 】

図 1 において、基板 1 1 上には下地となる絶縁膜 1 2 が設けられ、その上にはスイッチング素子となる T F T（以下、スイッチング T F T という）2 0 1、電流制御素子となる T F T（以下、電流制御 T F T という）2 0 2、n チャネル型

TFT203およびnチャンネル型TFT204が設けられている。ここでは画素部に設けられるTFTの例としてスイッチングTFT201および電流制御TFT202を示し、駆動回路に設けられるインバータ回路の例としてnチャンネル型TFT203およびnチャンネル型TFT204を示す。

【0022】

なお、本発明は基板11としてプラスチック基板（プラスチックフィルムを含む）を用いる場合に特に有効な技術である。プラスチック基板上にTFTを形成するにあたって、現状においてpチャンネル型TFTは良好な電気特性が得られていない。従って、全てのTFTをnチャンネル型TFTで形成するという本発明はプラスチック基板を用いてアクティブマトリクス型EL発光装置を作製する上で特に有効な技術である。

【0023】

まず、画素部について説明する。スイッチングTFT201はnチャンネル型TFTであり、ソース領域13、分離領域（チャンネル形成領域間に存在する不純物領域）14、分離領域15、ドレイン領域16およびチャンネル形成領域17～19を含む活性層、ゲート絶縁膜20、ゲート電極21a～21c、無機絶縁膜22、有機絶縁膜23、ソース配線24並びにドレイン配線25を含む。このスイッチングTFT201は電流制御TFTのゲート電圧を制御するためのスイッチング素子である。

【0024】

なお、無機絶縁膜22は窒化珪素膜もしくは窒化酸化珪素膜（ SiO_xN_y で表される）であり、有機絶縁膜23は樹脂膜（ポリイミド膜、アクリル樹脂膜、ポリアミド膜もしくはベンゾシクロブテン膜）である。有機絶縁膜23には金属粒子もしくはカーボン粒子を分散させても良い。その場合、比抵抗が $1 \times 10^8 \sim 1 \times 10^{10} \Omega \text{m}$ となるように金属粒子もしくはカーボン粒子の含有量を調節することで静電気の発生を抑制することができる。

【0025】

また、ソース配線24およびドレイン配線25は、周期表の1族もしくは2族に属する元素（好ましくはセシウム、マグネシウム、リチウム、カルシウム、カ

リウム、バリウムもしくはベリリウム)を含む金属膜を用いることが好ましい。また金属膜としてはアルミニウム膜、銅薄膜もしくは銀薄膜が好ましい。その他にもビスマス膜を用いることもできる。

【 0 0 2 6 】

次に、電流制御 T F T 2 0 2 は n チャネル型 T F T であり、ソース領域 2 6、ドレイン領域 2 7 およびチャネル形成領域 2 8 を含む活性層、ゲート絶縁膜 2 0、ゲート電極 2 9、無機絶縁膜 2 2、有機絶縁膜 2 3、ソース配線 3 0 並びに画素電極 3 1 を含む。このとき、スイッチング T F T 2 0 1 のドレイン配線 2 5 は電流制御 T F T 2 0 2 のゲート電極 2 9 に接続されている。また、電流制御 T F T 2 0 2 のドレイン領域 2 7 に接続された画素電極 3 1 は E L 素子 4 0 の陰極として機能する。

【 0 0 2 7 】

なお、画素電極 3 1 は、周期表の 1 族もしくは 2 族に属する元素（好ましくはセシウム、マグネシウム、リチウム、カルシウム、カリウム、バリウムもしくはベリリウム)を含む金属膜を用いることが好ましい。また金属膜としてはアルミニウム膜、銅薄膜もしくは銀薄膜が好ましい。その他にもビスマス膜を用いることもできる。

【 0 0 2 8 】

勿論、スイッチング T F T 2 0 1 のソース配線 2 4、ドレイン配線 2 5 および電流制御 T F T 2 0 2 のソース配線 3 0 は、画素電極 3 1 と同時に形成されるため画素電極 3 1 と同一の材料で形成される。

【 0 0 2 9 】

また、3 2 は金属粒子もしくはカーボン粒子を分散させた樹脂膜（ポリイミド膜、アクリル樹脂膜、ポリアミド膜もしくはベンゾシクロブテン膜）からなるバンクであり、比抵抗が $1 \times 10^8 \sim 1 \times 10^{10} \Omega \text{ m}$ となるように金属粒子もしくはカーボン粒子を含有している。このような比抵抗であれば成膜時に T F T の静電破壊を抑制することができる。また、3 3 は有機 E L 膜を含む薄膜、3 4 は E L 素子 4 0 の陽極（代表的には酸化物導電膜からなる電極）である。

【 0 0 3 0 】

さらに、画素電極（陰極）31、有機EL膜を含む薄膜34および陽極35からなるEL素子40を覆うようにパッシベーション膜36が設けられている。パッシベーション膜36としては、窒化珪素膜、窒化酸化珪素膜、炭素膜（好ましくはダイヤモンドライクカーボン膜）、酸化アルミニウム膜もしくは酸化タンタル膜を用いることができる。これらは積層しても良い。

【0031】

ここで画素部における一画素の回路構成を図2に示す。図2（A）において、205はスイッチングTFT201のゲート電極21a～21cにゲート電圧を加えるためのゲート配線であり、206はEL素子40に流れる電流を供給する電流供給線である。また、207はコンデンサであり、電流制御TFT202のゲート電極29に加わるゲート電圧を保持するために設けられる。この場合、電流制御TFT202のソース配線30をローレベルの電位（ V_L ）とし、EL素子の陽極34をハイレベルの電位（ V_H ）とする。

【0032】

また、一画素の別の回路構成を図2（B）に示す。図2（B）に示した回路構成の場合、電流供給線206と電流制御TFT202との間にEL素子208が形成される。この場合、電流制御TFT202のソース配線30をハイレベルの電位（ V_H ）とし、EL素子の陽極34をローレベルの電位（ V_L ）とする。また、このとき電流供給線206がEL素子の陽極34として機能する。

【0033】

なお、ここでは一画素に2個のTFTを設けた例を示しているが、TFTの個数は3個、4個、5個、6個もしくはそれ以上であっても良い。即ち、ソース配線24から入力されるビデオ信号を切り替えるスイッチングTFTおよびEL素子40に流れる電流量を制御する電流制御TFTに加え、その他の信号を制御するTFTを設けることは可能である。

【0034】

次に、駆動回路について説明する。nチャネル型TFT203は、ソース領域41、ドレイン領域42およびチャネル形成領域43を含む活性層、ゲート絶縁膜20、ゲート電極44、無機絶縁膜22、有機絶縁膜23、ソース配線45並

びにドレイン配線 4 6 を含む。

【 0 0 3 5 】

また、 n チャネル型 TFT 2 0 4 は、ソース領域 4 7、ドレイン領域 4 8 およびチャネル形成領域 4 9 を含む活性層、ゲート絶縁膜 2 0、ゲート電極 5 0、無機絶縁膜 2 2、有機絶縁膜 2 3、ソース配線 5 1 並びに n チャネル型 TFT 2 0 3 と共通のドレイン配線 4 6 を含む。

【 0 0 3 6 】

なお、 n チャネル型 TFT 2 0 3 のソース配線 4 5、ドレイン配線（ n チャネル型 TFT 2 0 4 と共通の配線）4 6 および n チャネル型 TFT 2 0 4 のソース配線 5 1 は画素電極 3 1 と同一材料で形成されている。

【 0 0 3 7 】

なお、本実施例に示す TFT はすべて E 型 NTFT で形成されているが、 n チャネル型 TFT 2 0 3 もしくは n チャネル型 TFT 2 0 4 のいずれか一方をデプレッション型とすることもできる。その場合、チャネル形成領域となる半導体に周期表の 1 5 族に属する元素（好ましくはリン）もしくは周期表の 1 3 族に属する元素（好ましくはボロン）を添加することによりエンハンスメント型とデプレッション型とを作り分けることができる。

【 0 0 3 8 】

また、 n チャネル型 TFT 2 0 3 および n チャネル型 TFT 2 0 4 を組み合わせて NMOS 回路を形成する場合、エンハンスメント型 TFT 同士で形成する場合（以下、EEMOS 回路という）と、エンハンスメント型とデプレッション型とを組み合わせ形成する場合（以下、EDMOS 回路という）がある。

【 0 0 3 9 】

ここで EEMOS 回路の例を図 3（A）に、EDMOS 回路の例を図 3（B）に示す。図 3（A）において、3 0 1、3 0 2 はどちらもエンハンスメント型の n チャネル型 TFT（以下、E 型 NTFT という）である。また、図 3（B）において、3 0 3 は E 型 NTFT、3 0 4 はデプレッション型の n チャネル型 TFT（以下、D 型 NTFT という）である。

【 0 0 4 0 】

なお、図 3 (A)、(B) において、 V_{DH} は正の電圧が印加される電源線（正電源線）であり、 V_{DL} は負の電圧が印加される電源線（負電源線）である。負電源線は接地電位の電源線（接地電源線）としても良い。

【0041】

さらに、図 3 (A) に示した EEMOS 回路もしくは図 3 (B) に示した EDMOS 回路を用いてシフトレジスタを作製した例を図 4 に示す。図 4 において、400、401 はフリップフロップ回路である。また、402、403 は E 型 NTFT であり、E 型 NTFT 402 のゲートにはクロック信号 (CL) が入力され、E 型 NTFT 403 のゲートには極性の反転したクロック信号 (CLバー) が入力される。また、404 で示される記号はインバータ回路であり、図 4 (B) に示すように、図 3 (A) に示した EEMOS 回路もしくは図 3 (B) に示した EDMOS 回路が用いられる。

【0042】

本発明の実施の形態では全ての TFT を n チャンネル型 TFT とすることにより p チャンネル型 TFT を形成する工程が削減されるため、EL 発光装置の製造工程を簡略化することができる。また、それに伴って製造工程の歩留まりが向上し、EL 発光装置の製造コストを下げるができる。

【0043】

【実施例】

〔実施例 1〕

本実施例では、画素部とその周辺に設けられる駆動回路を同一の絶縁体上に製造する方法について説明する。但し、説明を簡単にするために、駆動回路に関しては n チャンネル型 TFT を組み合わせた NMOS 回路を図示することとする。

【0044】

まず、図 5 (A) に示すように、プラスチックからなる絶縁体 501 を用意する。本実施例ではプラスチックからなる絶縁体 501 として、プラスチック基板 501a の両面（表面および裏面）に保護膜（炭素膜、具体的にはダイヤモンドライクカーボン膜）501b、501c をコーティングした絶縁体を用意する。勿論、片面（表面もしくは裏面）に保護膜を設けた構成としても良い。

【 0 0 4 5 】

次に絶縁体 5 0 1 上に下地膜 5 0 2 を 3 0 0 n m の厚さに形成する。本実施例では下地膜 5 0 2 として窒化酸化珪素膜をスパッタ法で積層して用いる。この時、絶縁体 5 0 1 に接する層の窒素濃度を 1 0 ~ 2 5 w t % としておき、他の層よりも高めに窒素を含有させると良い。

【 0 0 4 6 】

次に下地膜 5 0 2 の上に 5 0 n m の厚さの非晶質半導体膜（図示せず）をスパッタ法で形成する。絶縁体 5 0 1 がプラスチックであるため、成膜温度が 2 0 0 °C（好ましくは 1 5 0 °C）を超えないことが好ましい。

【 0 0 4 7 】

なお、非晶質半導体膜に限定する必要はなく、非晶質構造を含む半導体膜（微結晶半導体膜を含む）であれば良い。非晶質半導体膜としては非晶質珪素もしくは非晶質シリコンゲルマニウム膜を用いることができる。また、膜厚は 2 0 ~ 1 0 0 n m の厚さであれば良い。

【 0 0 4 8 】

そして、公知のレーザー結晶化法を用いて非晶質珪素膜の結晶化を行い、結晶質半導体膜 5 0 3 を形成する。なお、本実施例では固体レーザー（具体的には N d : Y A G レーザーの第 2 高調波）を用いるが、エキシマレーザーを用いても良い。また、結晶化方法はプラスチックからなる絶縁体 5 0 1 の耐熱性が許す範囲であれば如何なる手段を用いても良い。

【 0 0 4 9 】

次に、図 5（B）に示すように、結晶質半導体膜 5 0 3 を 1 回目のフォトリソグラフィ工程によりエッチングして島状の半導体膜 5 0 4 ~ 5 0 7 を形成する。これらは後に T F T の活性層となる半導体膜である。

【 0 0 5 0 】

なお、本実施例では T F T の活性層として結晶質半導体膜を用いているが、非晶質半導体膜を活性層として用いることも可能である。

【 0 0 5 1 】

ここで本実施例では、半導体膜 5 0 4 ~ 5 0 7 上に酸化珪素膜からなる保護膜

(図示せず)を130nmの厚さにスパッタ法で形成し、半導体をp型半導体とする不純物元素(以下、p型不純物元素という)を半導体膜504～507に添加する。p型不純物元素としては周期表の13族に属する元素(典型的にはボロンもしくはガリウム)を用いることができる。なお、この保護膜は不純物を添加する際に結晶質珪素膜が直接プラズマに曝されないようにするためと、微妙な濃度制御を可能にするために設ける。

【0052】

また、このとき添加されるp型不純物元素の濃度は、 $1 \times 10^{15} \sim 5 \times 10^{17}$ atoms/cm³(代表的には $1 \times 10^{16} \sim 1 \times 10^{17}$ atoms/cm³)とすれば良い。この濃度で添加されたp型不純物元素はnチャネル型TFETのしきい値電圧の調節に用いられる。

【0053】

次に、半導体膜504～507の表面を洗浄する。まず、オゾンを含む純水を用いて表面を洗浄する。その際、表面に薄い酸化膜が形成されるため、さらに1%に希釈したフッ酸水溶液を用いて薄い酸化膜を除去する。この処理により半導体膜504～507の表面に付着した汚染物を除去できる。このときオゾンの濃度は6mg/L以上とすることが好ましい。これら一連の処理は大気開放することなく行われる。

【0054】

そして、半導体膜504～507を覆ってゲート絶縁膜508をスパッタ法で形成する。ゲート絶縁膜508としては、10～200nm、好ましくは50～150nmの厚さの珪素を含む絶縁膜を用いれば良い。これは単層構造でも積層構造でも良い。本実施例では115nm厚の窒化酸化珪素膜を用いる。

【0055】

本実施例では、半導体膜504～507の表面洗浄からゲート絶縁膜508の形成までを大気開放することなく行い、半導体膜とゲート絶縁膜の界面における汚染物および界面準位の低減を図っている。この場合、洗浄室とスパッタ室とを少なくとも有したマルチチャンバー方式(もしくはインライン方式)の装置を用いれば良い。

【 0 0 5 6 】

次に、第 1 の導電膜 5 0 9 として 3 0 n m 厚の窒化タンタル膜を形成し、さらに第 2 の導電膜 5 1 0 として 3 7 0 n m のタングステン膜を形成する。他にも第 1 の導電膜としてタングステン膜、第 2 の導電膜としてアルミニウム合金膜を用いる組み合わせ、または第 1 の導電膜としてチタン膜、第 2 の導電膜としてタングステン膜を用いる組み合わせを用いても良い。

【 0 0 5 7 】

これらの金属膜はスパッタ法で形成すれば良い。また、スパッタガスとして X e、N e 等の不活性ガスを添加すると応力による膜はがれを防止することができる。また、タングステンターゲットの純度を 9 9 . 9 9 9 9 % とすることで、抵抗率が 2 0 m Ω c m 以下の低抵抗なタングステン膜を形成することができる。

【 0 0 5 8 】

また、前述の半導体 5 0 4 ~ 5 0 7 の表面洗浄から第 2 の導電膜 5 1 0 の形成までを大気開放することなく行うことも可能である。この場合、洗浄室、絶縁膜を形成するスパッタ室および導電膜を形成するスパッタ室を少なくとも有したマルチチャンバー方式（もしくはインライン方式）の装置を用いれば良い。

【 0 0 5 9 】

次に、レジストマスク 5 1 1 a ~ 5 1 1 g を形成し、第 1 の導電膜 5 0 9 及び第 2 の導電膜 5 1 0 をエッチングする。なお、本明細書中ではここで行うエッチング処理を第 1 のエッチング処理と呼ぶ。（図 5 (C)）

【 0 0 6 0 】

本実施例では、I C P (Inductively Coupled Plasma : 誘導結合型プラズマ) を用いたエッチング方法を採用する。

【 0 0 6 1 】

まず、エッチングガスとして四フッ化炭素 (C F₄) ガス、塩素 (C l₂) ガスおよび酸素 (O₂) ガスの混合ガスを用い、1 P a の圧力とする。このとき各ガスの流量は、四フッ化炭素ガスが 2 . 5 $\times 10^{-5}$ m³/m i n、塩素ガスが 2 . 5 $\times 10^{-5}$ m³/m i n、酸素ガスが 1 . 0 $\times 10^{-5}$ m³/m i n である。

【 0 0 6 2 】

そして、この状態でコイル型の電極に 500W の RF 電力 (13.56MHz) を印加してプラズマを生成する。また、基板を乗せたステージには自己バイアス電圧として 150W の RF 電力 (13.56MHz) を印加して、負の自己バイアスが基板に加わるようにする。このエッチング条件を第 1 のエッチング条件と呼ぶ。

【0063】

これにより第 2 の導電膜 (タングステン膜) 510 が選択的にエッチングされる。これはエッチングガスに酸素が加わることで第 1 の導電膜 (窒化タンタル膜) のエッチングの進行が極端に遅くなるためである。また、レジストマスク 511a~511e の後退を利用して 15~45° のテーパ角を有するテーパを有する形状とすることができる。第 1 のエッチング条件では約 25° のテーパ角を得ることができる。

【0064】

なお、テーパとは、電極の端部における端面が斜めになった部分であり、下地との角度はテーパ角と呼ばれる。また、テーパを有する形状とは電極端部があるテーパ角を持って斜めになった形状であり、台形はテーパを有する形状に含まれる。

【0065】

次に、エッチングガスを四フッ化炭素ガスおよび塩素ガスの混合ガスにしてエッチングを行う。このとき圧力を 1Pa、各ガスの流量は、四フッ化炭素ガスおよび塩素ガスともに $3.0 \times 10^{-5} \text{ m}^3/\text{min}$ である。また、コイル型の電極には 500W の RF 電力を印加し、基板を乗せたステージには自己バイアス電圧として 20W の RF 電力を印加する。この条件を第 2 のエッチング条件と呼ぶ。

【0066】

こうして、第 1 の導電膜と第 2 の導電膜との積層膜からなるゲート電極 512~516 並びにスイッチング TFT のソース配線 517 およびドレイン配線 518 が形成される。

【0067】

次に、ゲート電極 512~516、ソース配線 517 およびドレイン配線 51

8をマスクとして自己整合的にn型不純物元素（本実施例ではリン）を添加する。こうして形成される不純物領域519～527にはn型不純物元素が $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ （代表的には $2 \times 10^{20} \sim 5 \times 10^{21} \text{ atoms/cm}^3$ ）の濃度で含まれる。これらの不純物領域519～527はnチャネル型TFTのソース領域およびドレイン領域を形成する。

【0068】

次に、レジストマスク511a～511gをそのまま用いてゲート電極のエッチングを行う。このエッチング条件は第1のエッチング条件において、自己バイアス電圧を20Wとしたエッチング条件とすれば良い。この条件では第2の導電膜（タングステン膜）のみが選択的にエッチングされ、第2の導電膜からなるゲート電極（以下、第2ゲート電極という）528～532、第2の導電膜からなるソース配線（以下、第2ソース配線という）533および第2の導電膜からなるドレイン配線（以下、第2ドレイン配線という）534が形成される。（図5（D））

【0069】

次に、図5（E）に示すように、レジストマスク511a～511gをそのまま用いて、n型不純物元素（本実施例ではリン）を添加する。この工程では第2ゲート電極528～532がマスクとして機能し、n型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ （代表的には $5 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ ）の濃度で含まれたn型不純物領域535～544が形成される。なお、本明細書ではこの濃度でn型不純物元素が添加された不純物領域をn型不純物領域（b）と呼ぶことにする。

【0070】

また、ここでの添加条件は、リンが第1の導電膜およびゲート絶縁膜を貫通して半導体膜に到達するよう加速電圧を70～120kV（本実施例では90kV）と高めに設定する。

【0071】

次に、図6（A）に示すように、ゲート絶縁膜508をドライエッチング法によりエッチングし、互いに孤立したゲート絶縁膜545～549を形成する。な

お、本実施例ではn型不純物領域（a）519～527が露呈するようにゲート絶縁膜をエッチングした例を示しているが、n型不純物領域（a）519～527の表面にゲート絶縁膜が残っていても良い。

【0072】

このエッチング条件は、エッチングガスとして CHF_3 （三フッ化炭素）ガスを $3.5 \times 10^{-5} \text{ m}^3/\text{min}$ の流量で流し、エッチング圧力を $7.3 \times 10^3 \text{ Pa}$ とする。また、印加電力は800Wとする。

【0073】

このとき、第1の導電膜（窒化タンタル膜）が同時にエッチングされ、第1の導電膜からなるゲート電極（以下、第1ゲート電極という）550～554が形成される。従って、本実施例に示すEL発光装置は、第1ゲート電極と第2ゲート電極とを積層した構造のゲート電極を有する。

【0074】

また、図6（A）に示すように、第1ゲート電極550はn型不純物領域（b）535、536に一部が重なる（ゲート絶縁膜545を介して重なる）ことになる。即ち、n型不純物領域（b）535、536は第1ゲート電極550にゲート絶縁膜545を介して重なる領域535a、535bおよび第1ゲート電極550にゲート絶縁膜545を介して重ならない領域536a、536bを含むと言っても良い。なお、第1ゲート電極550はゲート電極の一部として機能するが、第1ゲート電極550にゲート絶縁膜545を介して重なった領域535a、536aはホットキャリア効果の低減に有効である。これによりホットキャリア効果に起因する劣化を抑制することができる。以上の特徴は全てのTFTに共通である。

【0075】

次に、図6（B）に示すように、添加されたn型不純物元素を活性化する。活性化手段としては、レーザーアニールが好ましい。勿論、プラスチック基板501aの耐熱性が許せば、ランプアニール、ファーンズアニールもしくはそれらとレーザーアニールを併用した手段を用いても良い。なお、このとき処理雰囲気中の酸素濃度を極力低くしておくことが望ましい。これはゲート電極の酸化を防ぐ

ためであり、望ましくは酸素濃度を 1 p p m 以下とする。

【 0 0 7 6 】

次に、図 6 (C) に示すように、窒化珪素膜もしくは窒化酸化珪素膜からなる無機絶縁膜 5 5 5 を 5 0 ~ 2 0 0 n m の厚さに形成する。この無機絶縁膜 5 5 5 はスパッタ法で形成すれば良い。

【 0 0 7 7 】

その後、水素 (H_2) ガスもしくはアンモニア (NH_3) ガスを用いたプラズマ処理により水素化処理を行う。水素化処理が終了したら、有機絶縁膜 5 5 6 として可視光を透過する樹脂膜を 1 ~ 2 μm の厚さに形成する。樹脂膜としては、ポリイミド膜、ポリアミド膜、アクリル樹脂膜もしくは B C B (ベンゾシクロブテン) 膜を用いれば良い。また、感光性樹脂膜を用いることも可能である。

【 0 0 7 8 】

なお、本実施例では無機絶縁膜 5 5 5 および有機絶縁膜 5 5 6 の積層膜を層間絶縁膜と呼ぶ。

【 0 0 7 9 】

次に、図 6 (D) に示すように、層間絶縁膜に対してコンタクトホールを形成し、配線 5 5 7 ~ 5 6 2 および画素電極 5 6 3 を形成する。なお、本実施例ではこの配線を、下層側から 5 0 n m のチタン膜、2 0 0 n m のチタンを含むアルミニウム膜、2 0 0 n m のリチウムを含むアルミニウム膜をスパッタ法で連続形成した三層構造の積層膜とする。また、リチウムを含むアルミニウム膜のみ蒸着法で形成することもできる。但し、その場合においても大気開放しないで連続形成することが望ましい。

【 0 0 8 0 】

ここで画素電極 5 6 3 の最表面が仕事関数の小さい金属面となるようにすることは重要である。これは画素電極 5 6 3 がそのまま E L 素子の陰極として機能することになるからである。そのため、少なくとも画素電極 5 6 3 の最表面は周期表の 1 族もしくは 2 族に属する元素を含む金属膜またはビスマス (B i) 膜とすることが好ましい。また、配線 5 5 7 ~ 5 6 2 は画素電極 5 6 3 と同時に形成されるため、同一の導電膜で形成されることになる。

【 0 0 8 1 】

このとき、配線 5 5 7、5 5 9 は N M O S 回路のソース配線、5 5 8 はドレイン配線として機能する。また、配線 5 6 0 はソース配線 5 1 7 とスイッチング T F T のソース領域とを電氣的に接続する配線として機能し、配線 5 6 1 はドレイン配線 5 1 8 とスイッチング T F T のドレイン領域とを電氣的に接続する配線として機能する。また、5 6 2 は電流制御 T F T のソース配線（電流供給線に相当する）であり、5 6 3 は電流制御 T F T の画素電極である。

【 0 0 8 2 】

次に、図 7 に示すようにバンク 5 6 4 を形成する。バンク 5 6 4 は 1 0 0 ~ 4 0 0 n m の珪素を含む絶縁膜もしくは有機樹脂膜をパターニングして形成すれば良い。このバンク 5 6 4 は画素と画素との間（画素電極と画素電極との間）を埋めるように形成される。また、次に形成する発光層等の有機 E L 膜が画素電極 5 6 3 の端部に直接触れないようにする目的もある。

【 0 0 8 3 】

なお、バンク 5 6 4 は絶縁膜であるため、成膜時における素子の静電破壊には注意が必要である。本実施例ではバンク 5 6 4 の材料となる絶縁膜中にカーボン粒子や金属粒子を添加して抵抗率を下げ、静電気の発生を抑制する。この際、抵抗率は $1 \times 10^6 \sim 1 \times 10^{12} \Omega \text{ m}$ （好ましくは $1 \times 10^8 \sim 1 \times 10^{10} \Omega \text{ m}$ ）となるようにカーボン粒子や金属粒子の添加量を調節すれば良い。

【 0 0 8 4 】

次に、E L 層 5 6 5 を蒸着法により形成する。なお、本実施例では、正孔注入層および発光層の積層体を E L 層と呼んでいる。即ち、発光層に対して正孔注入層、正孔輸送層、正孔阻止層、電子輸送層、電子注入層もしくは電子阻止層を組み合わせた積層体を E L 層と定義する。なお、これらは有機材料であっても無機材料であっても良いし、高分子であっても低分子であっても良い。

【 0 0 8 5 】

本実施例では、まず電子注入層としてフッ化リチウム（L i F）膜を 2 0 n m の厚さに成膜し、さらに発光層としてアルミキノリラト錯体（A l q₃）を 8 0 n m の厚さに形成する。また、発光層に対して発光中心となるドーパント（代表

的には蛍光色素)を共蒸着により添加しても良い。

【0086】

次に、EL層565を形成したら、仕事関数が大きく、可視光に対して透明な酸化物導電膜からなる陽極566を300nmの厚さに形成する。本実施例では、酸化亜鉛に酸化ガリウムを添加した酸化物導電膜を蒸着法を用いて形成する。また、他の酸化物導電膜として、酸化インジウム、酸化亜鉛、酸化スズ、もしくはそれらを組み合わせた化合物からなる酸化物導電膜を用いることも可能である。こうして画素電極(陰極)563、EL層565および陽極566を含むEL素子567が形成される。

【0087】

なお、陽極566を形成した後、EL素子567を完全に覆うようにしてパッシベーション膜568を設けることは有効である。パッシベーション膜568としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いる。

【0088】

この際、カバレッジの良い膜をパッシベーション膜として用いることが好ましく、炭素膜、特にDLC(ダイヤモンドライクカーボン)膜を用いることは有効である。DLC膜は室温から100℃以下の温度範囲で成膜可能であるため、耐熱性の低いEL層565の上方にも容易に成膜することができる。また、DLC膜は酸素に対するブロッキング効果が高く、EL層565の酸化を抑制することが可能である。そのため、この後続く封止工程を行う間にEL層565が酸化するといった問題を防止できる。

【0089】

さらに、パッシベーション膜568上に封止材569を設け、カバー材570を貼り合わせる。封止材569としては紫外線硬化樹脂を用いれば良く、内部に吸湿効果を有する物質もしくは酸化防止効果を有する物質を設けることは有効である。また、本実施例においてカバー材570はプラスチック基板(プラスチックフィルムも含む)570aの両面に炭素膜(好ましくはダイヤモンドライクカーボン膜)570b、570cを用いる。

【 0 0 9 0 】

こうして図 7 に示すような構造の E L 発光装置が完成する。なお、バンク 5 6 4 を形成した後、パッシベーション膜 5 6 8 を形成するまでの工程をマルチチャンバー方式（またはインライン方式）の成膜装置を用いて、大気解放せずに連続的に処理することは有効である。また、さらに発展させてカバー材 5 7 0 を貼り合わせる工程までを大気解放せずに連続的に処理することも可能である。

【 0 0 9 1 】

こうして、プラスチック基板を母体とする絶縁体 5 0 1 上に n チャンネル型 T F T 6 0 1、6 0 2、スイッチング T F T（n チャンネル型 T F T）6 0 3 および電流制御 T F T（n チャンネル型 T F T）6 0 4 が形成される。ここまでの製造工程で必要としたフォトリソグラフィ工程は 5 回であり、一般的なアクティブマトリクス型 E L 発光装置よりも少ない。

【 0 0 9 2 】

即ち、T F T の製造工程が大幅に簡略化されており、歩留まりの向上および製造コストの低減が実現できる。また、T F T および E L 素子がプラスチック基板を母体とする絶縁体（カバー材も含む）で挟まれた構造となったおり、非常にフレキシブルで軽量の E L 発光装置をも実現できる。

【 0 0 9 3 】

さらに、図 6（A）を用いて説明したように、第 1 ゲート電極にゲート絶縁膜を介して重なる不純物領域を設けることによりホットキャリア効果に起因する劣化に強い n チャンネル型 T F T を形成することができる。そのため、信頼性の高い E L 発光装置を実現できる。

【 0 0 9 4 】

また、本実施例の E L 発光装置の回路構成例を図 8 に示す。なお、本実施例ではデジタル駆動を行うための回路構成を示す。本実施例では、ソース側駆動回路 8 0 1、画素部 8 0 6 及びゲート側駆動回路 8 0 7 を有している。なお、本明細書中において、駆動回路とはソース側処理回路およびゲート側駆動回路を含めた総称である。

【 0 0 9 5 】

ソース側駆動回路 8 0 1 は、シフトレジスタ 8 0 2、ラッチ (A) 8 0 3、ラッチ (B) 8 0 4、バッファ 8 0 5 を設けている。なお、アナログ駆動の場合はラッチ (A)、(B) の代わりにサンプリング回路 (トランスファゲート) を設ければ良い。また、ゲート側駆動回路 8 0 7 は、シフトレジスタ 8 0 8、バッファ 8 0 9 を設けている。なお、シフトレジスタ 8 0 2、8 0 8 としては図 4 に示したシフトレジスタを用いれば良い。

【 0 0 9 6 】

また、本実施例において、画素部 8 0 6 は複数の画素を含み、その複数の画素に E L 素子が設けられている。このとき、E L 素子の陰極は電流制御 T F T のドレインに電氣的に接続されていることが好ましい。

【 0 0 9 7 】

これらソース側駆動回路 8 0 1 およびゲート側駆動回路 8 0 7 は全て n チャネル型 T F T で形成され、全ての回路は図 3 (A) に示した E E M O S 回路を基本単位として形成されている。従来の C M O S 回路に比べると消費電力は若干上がってしまうが、もともと C M O S 回路を駆動回路に用いた E L 発光装置は 9 5 % 近くの電力が画素部で消費されているので、多少 N M O S 回路を用いることで駆動回路の消費電力が上がったとしてもさほど問題とはならない。

【 0 0 9 8 】

なお、図示していないが、画素部 8 0 6 を挟んでゲート側駆動回路 8 0 7 の反対側にさらにゲート側駆動回路を設けても良い。この場合、双方は同じ構造でゲート配線を共有しており、片方が壊れても残った方からゲート信号を送って画素部を正常に動作させるような構成とする。

【 0 0 9 9 】

なお、上記構成は、図 5 ～ 図 7 に示した製造工程に従って T F T を作製することによって実現することができる。また、本実施例では画素部と駆動回路の構成のみ示しているが、本実施例の製造工程に従えば、その他にも信号分割回路、D / A コンバータ、オペアンプ、 γ 補正回路などの論理回路を同一の絶縁体上に形成可能であり、さらにはメモリやマイクロプロセッサをも形成しうる。

【 0 1 0 0 】

さらに、E L素子を保護するための封止（または封入）工程まで行った後の本実施例のE L発光装置について図9（A）、（B）を用いて説明する。なお、必要に応じて図5～図8で用いた符号を引用する。

【0101】

図9（A）は、E L素子の封止までを行った状態を示す上面図、図9（B）は図9（A）をA-A'で切断した断面図である。点線で示された801はソース側駆動回路、806は画素部、807はゲート側駆動回路である。また、901はカバー材、902は第1シール材、903は第2シール材であり、第1シール材902で囲まれた内側には封止材907が設けられる。

【0102】

なお、904はソース側駆動回路801及びゲート側駆動回路807に入力される信号を伝送するための配線であり、外部入力端子となるFPC（フレキシブルプリントサーキット）905からビデオ信号やクロック信号を受け取る。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤（PWB）が取り付けられていても良い。本明細書におけるE L発光装置には、E L発光装置本体だけでなく、それにFPCもしくはPWBが取り付けられた状態をも含むものとする。

【0103】

次に、断面構造について図9（B）を用いて説明する。絶縁体501の上方には画素部806、ゲート側駆動回路807が形成されており、画素部806は電流制御用TFT604とそのドレインに電氣的に接続された画素電極563を含む複数の画素により形成される。また、ゲート側駆動回路807はnチャネル型TFT601とnチャネル型TFT602とを組み合わせたNMOS回路（図3参照）を用いて形成される。

【0104】

画素電極563はE L素子の陰極として機能する。また、画素電極563の両端にはバンク564が形成され、画素電極563上にはE L層565およびE L素子の陽極566が形成される。陽極566は全画素に共通の配線としても機能し、接続配線904を経由してFPC905に電氣的に接続されている。さらに

、画素部 8 0 6 及びゲート側駆動回路 8 0 7 に含まれる素子は全て陽極 5 6 6 およびパッシベーション膜 5 6 7 で覆われている。

【 0 1 0 5 】

また、第 1 シール材 9 0 2 によりカバー材 9 0 1 が貼り合わされている。なお、カバー材 9 0 1 と E L 素子との間隔を確保するために樹脂膜からなるスペーサを設けても良い。そして、第 1 シール材 9 0 2 の内側には封止材 9 0 7 が充填されている。なお、第 1 シール材 9 0 2、封止材 9 0 7 としてはエポキシ系樹脂を用いるのが好ましい。また、第 1 シール材 9 0 2 はできるだけ水分や酸素を透過しない材料であることが望ましい。さらに、封止材 9 0 7 の内部に吸湿効果をもつ物質や酸化防止効果をもつ物質を含有させても良い。

【 0 1 0 6 】

E L 素子を覆うようにして設けられた封止材 9 0 7 はカバー材 9 0 1 を接着するための接着剤としても機能する。また、本実施例ではカバー材 9 0 1 を構成するプラスチック基板 9 0 1 a の材料として F R P (Fiberglass-Reinforced Plastics)、P V F (ポリビニルフロライド)、マイラー、ポリエステルまたはアクリルを用いることができる。

【 0 1 0 7 】

さらに本実施例ではプラスチック基板 9 0 1 a の両面に保護膜として炭素膜（具体的にはダイヤモンドライクカーボン膜）9 0 1 b、9 0 1 c を 2 ～ 3 0 n m の厚さに設けている。このような炭素膜は、酸素および水の侵入を防ぐとともにプラスチック基板 9 0 1 a の表面を機械的に保護する役割をもつ。また、外側の炭素膜 9 0 1 b に偏光板（代表的には円偏光板）を貼り付けることも可能である。

【 0 1 0 8 】

また、封止材 9 0 7 を用いてカバー材 9 0 1 を接着した後、封止材 9 0 7 の側面（露呈面）を覆うように第 2 シール材 9 0 3 を設ける。第 2 シール材 9 0 3 は第 1 シール材 9 0 2 と同じ材料を用いることができる。

【 0 1 0 9 】

以上のような構造で E L 素子を封止材 9 0 7 に封入することにより、E L 素子を外部から完全に遮断することができ、外部から水分や酸素等の E L 層の酸化に

よる劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高い E L 発光装置が得られる。

【0 1 1 0】

〔実施例 2〕

本実施例では、実施例 1 に示した E L 発光装置とは異なる構造で E L 素子を封止した例について図 1 0 (A)、(B) を用いて説明する。なお、図 9 と同一の部分については同一の符号を用いる。また、図 1 0 (B) は図 1 0 (A) を A - A' で切断した断面図である。

【0 1 1 1】

まず、本実施例では T F T および E L 素子を形成する絶縁体 1 0 0 1 としてプラスチックフィルム 1 0 0 1 a の両面を保護膜として炭素膜（具体的にはダイヤモンドライクカーボン膜） 1 0 0 1 b、1 0 0 1 c でコーティング（被覆）したものを用いる。なお、プラスチックフィルム 1 0 0 1 a の両面に炭素膜 1 0 0 1 b、1 0 0 1 c を成膜する際はロールトゥロール方式を用いれば良い。

【0 1 1 2】

また、実施例 1 に従って E L 素子まで作製した基板に、封止材 9 0 7 を用いてカバー材 1 0 0 2 を貼り合わせる。カバー材 1 0 0 2 としてもプラスチックフィルム 1 0 0 2 a の両面を保護膜として炭素膜（具体的にはダイヤモンドライクカーボン膜） 1 0 0 2 b、1 0 0 2 c でコーティングしたものを用いる。さらに、カバー材 1 0 0 2 の端面（端部）は第 2 シール材 1 0 0 3 により封止する。

【0 1 1 3】

〔実施例 3〕

本実施例では、実施例 1 において n チャネル型 T F T 6 0 1 をデプレッション型とし、n チャネル型 T F T 6 0 2、スイッチング T F T 6 0 3 および電流制御 T F T 6 0 4 をエンハンスメント型とする場合について説明する。

【0 1 1 4】

まず、実施例 1 に従って図 5 (A) の状態を得る。次に、スパッタ法で 1 0 0 ~ 1 5 0 n m の酸化珪素膜 1 1 0 1 を成膜し、その上に n チャネル型 T F T 6 0 1 となる領域にレジストマスク 1 1 0 2 を形成する。

【0115】

次に、レジストマスク1102を用いて結晶質半導体膜503に周期表の13族に属する元素（本実施例ではボロン）を添加する。こうして $1 \times 10^{15} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ （代表的には $1 \times 10^{16} \sim 1 \times 10^{17} \text{ atoms/cm}^3$ ）の濃度でボロンが添加された領域1103およびボロンが添加されなかった領域1104が形成される。（図11（A））

【0116】

次に、結晶質半導体膜をパターニングして、島状の半導体膜1105～1108を形成する。このとき、半導体膜1105はボロンが添加されなかった領域1104で形成され、半導体膜1106～1108はボロンが添加された領域で形成される。即ち、半導体膜1105を活性層とするTFETはチャネル形成領域にボロンは含まれない、もしくは含まれていても $5 \times 10^{14} \text{ atoms/cm}^3$ 以下であり、半導体膜1106～1108を活性層とするTFETはチャネル形成領域にボロンが $1 \times 10^{15} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ （代表的には $1 \times 10^{16} \sim 1 \times 10^{17} \text{ atoms/cm}^3$ ）の濃度で含まれている。（図11（B））

【0117】

この後の工程は、実施例1に従えば良い。本実施例の場合、半導体膜1105を用いて形成されたnチャネル型TFETはデプレッション型TFET（即ちノーマリオンのnチャネル型TFET）となり、半導体膜1106～1108を用いて形成されたnチャネル型TFETはエンハンスメント型TFET（即ちノーマリオフのnチャネル型TFET）となる。

【0118】

本実施例を実施した場合、上記方法で形成されたデプレッション型TFETおよびエンハンスメント型TFETを組み合わせ、図3（B）に示したEDMOS回路を形成することができる。

【0119】

なお、本実施例ではボロンを半導体膜に添加することによってしきい値電圧を正の方向にシフトさせ、ボロンの添加されたチャネル形成領域を含むTFETをエンハンスメント型とする例を示したが、周期表の15族に属する元素（代表的に

はリンもしくは砒素)を半導体膜に添加することによってしきい値電圧を負の方向にシフトさせ、周期表の15族に属する元素の添加されたチャネル形成領域を含むTFTをデプレッション型とすることも可能である。

【0120】

なお、本実施例は実施例1もしくは実施例2と組み合わせて実施することが可能である。

【0121】

〔実施例4〕

本実施例では、ソース側駆動回路およびゲート側駆動回路を全てE型NTFTで形成した場合について図12～図14を用いて説明する。本発明ではシフトレジスタの代わりにnチャネル型TFTのみを用いたデコーダを用いる。

【0122】

図12はゲート側駆動回路の例である。図12において、100がゲート側駆動回路のデコーダ、101がゲート側駆動回路のバッファ部である。なお、バッファ部とは複数のバッファ(緩衝増幅器)が集積化された部分を指す。また、バッファとは後段の影響を前段に与えずに駆動を行う回路を指す。

【0123】

まずゲート側デコーダ100を説明する。まず102はデコーダ100の入力信号線(以下、選択線という)であり、ここではA1、A1バー(A1の極性が反転した信号)、A2、A2バー(A2の極性が反転した信号)、…An、Anバー(Anの極性が反転した信号)を示している。即ち、2n本の選択線が並んでいると考えれば良い。

【0124】

選択線の本数はゲート側駆動回路から出力されるゲート配線が何列あるかによってその数が決まる。例えばVGA表示の画素部をもつ場合はゲート配線が480本となるため、9bit分($n=9$ に相当する)で合計18本の選択線が必要となる。選択線102は図13のタイミングチャートに示す信号を伝送する。図13に示すように、A1の周波数を1とすると、A2の周波数は 2^{-1} 倍、A3の周波数は 2^{-2} 倍、Anの周波数は $2^{-(n-1)}$ 倍となる。

【 0 1 2 5 】

また、1 0 3 aは第 1 段のNAND回路（NANDセルともいう）、1 0 3 bは第 2 段のNAND回路、1 0 3 cは第 n 段のNANDである。NAND回路はゲート配線の本数分が必要であり、ここでは n 個が必要となる。即ち、本発明ではデコーダ 1 0 0 が複数のNAND回路からなる。

【 0 1 2 6 】

また、NAND回路 1 0 3 a～1 0 3 cは、nチャネル型TFT 1 0 4～1 0 9 が組み合わされてNAND回路を形成している。なお、実際には 2 n 個のTFT がNAND回路 1 0 3 に用いられている。また、nチャネル型TFT 1 0 4～1 0 9 の各々のゲートは選択線 1 0 2（A 1、A 1 バー、A 2、A 2 バー…A n、A n バー）のいずれかに接続されている。

【 0 1 2 7 】

このとき、NAND回路 1 0 3 aにおいて、A 1、A 2…A n（これらを正の選択線と呼ぶ）のいずれかに接続されたゲートを有するnチャネル型TFT 1 0 4～1 0 6 は、互いに並列に接続されており、共通のソースとして負電源線（V_{DL}）1 1 0 に接続され、共通のドレインとして出力線 7 1 に接続されている。また、A 1 バー、A 2 バー…A n バー（これらを負の選択線と呼ぶ）のいずれかに接続されたゲートを有するnチャネル型TFT 1 0 7～1 0 9 は、互いに直列に接続されており、回路端に位置するnチャネル型TFT 1 0 9 のソースが正電源線（V_{DH}）1 1 2 に接続され、もう一方の回路端に位置するnチャネル型TFT 1 0 7 のドレインが出力線 1 1 1 に接続されている。

【 0 1 2 8 】

以上のように、本発明においてNAND回路は直列に接続された n 個の n チャネル型TFTおよび並列に接続された n 個の n チャネル型TFTを含む。但し、n 個のNAND回路 1 0 3 a～1 0 3 cにおいて、nチャネル型TFTと選択線との組み合わせはすべて異なる。即ち、出力線 1 1 1 は必ず 1 本しか選択されないようになっており、選択線 1 0 2 には出力線 1 1 1 が端から順番に選択されていくような信号が入力される。

【 0 1 2 9 】

次に、バッファ部 1 0 1 は N A N D 回路 1 0 3 a ~ 1 0 3 c の各々に対応して複数のバッファ 1 1 3 a ~ 1 1 3 c により形成されている。但しバッファ 1 1 3 a ~ 1 1 3 c はいずれも同一構造で良い。

【 0 1 3 0 】

また、バッファ 1 1 3 a ~ 1 1 3 c は n チャネル型 T F T 1 1 4 ~ 1 1 6 を用いて形成される。デコーダからの出力線 1 1 1 は n チャネル型 T F T 1 1 4 (第 1 の n チャネル型 T F T) のゲートとして入力される。n チャネル型 T F T 1 1 4 は正電源線 (V_{DH}) 1 1 7 をソースとし、画素部に続くゲート配線 1 1 8 をドレインとする。また、n チャネル型 T F T 1 1 5 (第 2 の n チャネル型 T F T) は正電源線 (V_{DH}) 1 1 7 をゲートとし、負電源線 (V_{DL}) 1 1 9 をソースとし、ゲート配線 1 1 8 をドレインとして常時オン状態となっている。

【 0 1 3 1 】

即ち、本発明において、バッファ 1 1 3 a ~ 1 1 3 c は第 1 の n チャネル型 T F T (n チャネル型 T F T 1 1 4) および第 1 の n チャネル型 T F T に直列に接続され、且つ、第 1 の n チャネル型 T F T のドレインをゲートとする第 2 の n チャネル型 T F T (n チャネル型 T F T 1 1 5) を含む。

【 0 1 3 2 】

また、n チャネル型 T F T 1 1 6 (第 3 の n チャネル型 T F T) はリセット信号線 (Reset) をゲートとし、負電源線 (V_{DL}) 1 1 9 をソースとし、ゲート配線 1 1 8 をドレインとする。なお、負電源線 (V_{DL}) 1 1 9 は接地電源線 (G N D) としても構わない。

【 0 1 3 3 】

このとき、n チャネル型 T F T 1 1 5 のチャネル幅 (W_1 とする) と n チャネル型 T F T 1 1 4 のチャネル幅 (W_2 とする) との間には $W_1 < W_2$ の関係がある。なお、チャネル幅とはチャネル長に垂直な方向におけるチャネル形成領域の長さである。

【 0 1 3 4 】

バッファ 1 1 3 a の動作は次の通りである。まず出力線 1 1 1 に負電圧が加えられているとき、n チャネル型 T F T 1 1 4 はオフ状態 (チャネルが形成されて

いない状態)となる。一方でnチャネル型TFT115は常にオン状態(チャネルが形成されている状態)であるため、ゲート配線118には負電源線119の電圧が加えられる。

【0135】

ところが、出力線111に正電圧が加えられた場合、nチャネル型TFT114がオン状態となる。このとき、nチャネル型TFT114のチャネル幅がnチャネル型TFT115のチャネル幅よりも大きいため、ゲート配線118の電位はnチャネル型TFT114側の出力に引っ張られ、結果的に正電源線117の電圧がゲート配線118に加えられる。

【0136】

従って、ゲート配線118は、出力線111に正電圧が加えられるときは正電圧(画素のスイッチング素子として用いるnチャネル型TFTがオン状態になるような電圧)を出力し、出力線111に負電圧が加えられているときは常に負電圧(画素のスイッチング素子として用いるnチャネル型TFTがオフ状態になるような電圧)を出力する。

【0137】

なお、nチャネル型TFT116は正電圧が加えられたゲート配線118を強制的に負電圧に引き下げるリセットスイッチとして用いられる。即ち、ゲート配線118の選択期間が終了したら。リセット信号を入力してゲート配線118に負電圧を加える。但しnチャネル型TFT116は省略することもできる。

【0138】

以上のような動作のゲート側駆動回路によりゲート配線が順番に選択されることになる。次に、ソース側駆動回路の構成を図14に示す。図14に示すソース側駆動回路はデコーダ121、ラッチ122およびバッファ部123を含む。なお、デコーダ121およびバッファ部123の構成はゲート側駆動回路と同様であるので、ここでの説明は省略する。

【0139】

図14に示すソース側駆動回路の場合、ラッチ122は第1段目のラッチ124および第2段目のラッチ125からなる。また、第1段目のラッチ124およ

び第 2 段目のラッチ 1 2 5 は、各々 m 個の n チャンネル型 T F T 1 2 6 a ~ 1 2 6 c で形成される複数の単位ユニット 1 2 7 を有する。デコーダ 1 2 1 からの出力線 1 2 8 は単位ユニット 1 2 7 を形成する m 個の n チャンネル型 T F T 1 2 6 a ~ 1 2 6 c のゲートに入力される。なお、 m は任意の整数である。

【 0 1 4 0 】

例えば、V G A 表示の場合、ソース配線の本数は 6 4 0 本である。 $m = 1$ の場合は N A N D 回路も 6 4 0 個必要となり、選択線は 2 0 本 (1 0 bit 分に相当する) 必要となる。しかし、 $m = 8$ とすると必要な N A N D 回路は 8 0 個となり、必要な選択線は 1 4 本 (7 bit 分に相当する) となる。即ち、ソース配線の本数を M 本とすると、必要な N A N D 回路は (M / m) 個となる。

【 0 1 4 1 】

そして、 n チャンネル型 T F T 1 2 6 a ~ 1 2 6 c のソースは各々ビデオ信号線 (V 1 , V 2 … V k) 1 2 9 に接続される。即ち、出力線 1 2 8 に正電圧が加えられると一斉に n チャンネル型 T F T 1 2 6 a ~ 1 2 6 c がオン状態となり、各々に対応するビデオ信号が取り込まれる。また、こうして取り込まれたビデオ信号は、 n チャンネル型 T F T 1 2 6 a ~ 1 2 6 c の各々に接続されたコンデンサ 1 3 0 a ~ 1 3 0 c に保持される。

【 0 1 4 2 】

また、第 2 段目のラッチ 1 2 5 も複数の単位ユニット 1 2 7 b を有し、単位ユニット 1 2 7 b は m 個の n チャンネル型 T F T 1 3 1 a ~ 1 3 1 c で形成される。 n チャンネル型 T F T 1 3 1 a ~ 1 3 1 c のゲートはすべてラッチ信号線 1 3 2 に接続され、ラッチ信号線 1 3 2 に負電圧が加えられると一斉に n チャンネル型 T F T 1 3 1 a ~ 1 3 1 c がオン状態となる。

【 0 1 4 3 】

その結果、コンデンサ 1 3 0 a ~ 1 3 0 c に保持されていた信号が、 n チャンネル型 T F T 1 3 1 a ~ 1 3 1 c の各々に接続されたコンデンサ 1 3 3 a ~ 1 3 3 c に保持されると同時にバッファ 1 2 3 へと出力される。そして、図 1 3 で説明したようにバッファを介してソース配線 1 3 4 に出力される。以上のような動作のソース側駆動回路によりソース配線が順番に選択されることになる。

【 0 1 4 4 】

以上のように、 n チャネル型TFTのみでゲート側駆動回路およびソース側駆動回路を形成することにより画素部および駆動回路をすべて n チャネル型TFTで形成することが可能となる。なお、ソース側駆動回路もしくはゲート側駆動回路のいずれか片方を外付けのICチップとする場合にも本発明は実施できる。

【 0 1 4 5 】

〔実施例5〕

本実施例では、ソース側駆動回路およびゲート側駆動回路をE型NTFT（E型NTFT）およびD型NTFT（D型NTFT）を組み合わせて形成した場合について図15、図16を用いて説明する。

【 0 1 4 6 】

図15はゲート側駆動回路の例である。図15において、140がシフトレジスタ、141がNAND回路部、142がバッファ部である。

【 0 1 4 7 】

ここでシフトレジスタ140は図4に示したシフトレジスタを具体的に図示したものである。まず143はクロック信号線、144は極性が反転したクロック信号線、145は正電源線（ V_{DH} ）、146は接地電源線（GND）である。そして、本実施例ではシフトレジスタ140を形成する基本単位として三つのフリップフロップ回路147a～147cが図示されている。なお、実際には複数のフリップフロップ回路が直列に接続されてシフトレジスタ140を形成している。

【 0 1 4 8 】

また、本実施例においてフリップフロップ回路147aは図4に示したフリップフロップ回路400に対応し、フリップフロップ回路147bはフリップフロップ回路401に対応した回路構成となっている。また、フリップフロップ回路147a～147cはE型NTFTおよびD型NTFTで形成される。

【 0 1 4 9 】

フリップフロップ回路147aにおいて、148はE型NTFTでゲートはクロック信号線143に接続されている。また、図3（B）の構造のEDMOS回路148a～148cが図4に示すような配置で形成される。なお、150は正電

源線 (VDH) であり、1 5 1 は接地電源線 (GND) である。

【0 1 5 0】

また、フリップフロップ回路 1 4 7 b は E 型 N T F T 1 5 2 のゲートが、極性が反転したクロック信号線 1 4 4 に接続されている点を除けばフリップフロップ回路 1 4 7 a と同じ回路構成である。

【0 1 5 1】

そして、フリップフロップ回路 1 4 7 a の出力線 1 5 3 およびフリップフロップ回路 1 4 7 b の出力線 1 5 4 は N A N D 回路 1 5 5 a に接続される。なお、N A N D 回路部 1 4 1 には三つの N A N D 回路 1 5 5 a ~ 1 5 5 c が図示されているが、実際には複数の N A N D 回路からなる。N A N D 回路は二つのフリップフロップ回路の一つに割合で配置されている。また、N A N D 回路 1 5 5 a ~ 1 5 5 c は E 型 N T F T および D 型 N T F T で形成される。

【0 1 5 2】

N A N D 回路 1 5 5 a において、E 型 N T F T 1 5 6 のゲートには出力線 1 5 3 が接続され、ソースには接地電源線 1 5 1 が接続され、ドレインには E 型 N T F T 1 5 7 が接続される。また、E 型 N T F T 1 5 7 のゲートには出力線 1 5 4 が接続され、ソースには E 型 N T F T 1 5 6 のドレインが接続され、ドレインには出力線 1 5 8 が接続される。また、D 型 N T F T 1 5 9 のソースは正電源線 1 6 0 に接続され、ゲートおよびドレインは出力線 1 5 8 に接続される。

【0 1 5 3】

そして、N A N D 回路 1 5 5 a の出力線 1 5 8 は E D M O S 回路 (インバータ回路と呼んでも良い) 1 6 1 a に接続される。なお、バッファ部 1 4 2 には三つの E D M O S 回路 1 6 1 a ~ 1 6 1 c が図示されているが、実際には複数の E D M O S 回路からなる。

【0 1 5 4】

E D M O S 回路 1 6 1 a において、E 型 N T F T 1 6 2 のゲートは出力線 1 5 8 に接続され、ソースは負電源線 (V_{DL}) 1 6 3 に接続され、ドレインは出力線 (画素部のゲート配線に相当する) 1 6 4 に接続される。また、D 型 N T F T 1 6 5 のゲートおよびドレインは出力線 1 6 4 に接続され、ソースは正電源線 1 6

0に接続される。

【0155】

次に、ソース側駆動回路の構成を図16に示す。図16に示すソース側駆動回路は図15に示したゲート側駆動回路にトランスファゲート165a～165cを付け加えた構成となっており、シフトレジスタ140、NAND回路部141およびバッファ部142は同じ回路を用いることができる。なお、この構成はアナログ駆動を行う場合の構成である。

【0156】

また、本実施例ではトランスファゲート165a～165cとしてE型NTFTを並列に二つ設けているが、これは冗長設計であると同時に電流の供給能力を稼ぐための工夫である。また、166はビデオ信号線である。

【0157】

ところで、本実施例においてデジタル駆動を行う場合、図14にて説明したラッチ122およびバッファ部123をNAND回路部141の下に設ければ良い。また、逆に実施例4において、図14に示したソース側駆動回路をアナログ駆動に対応させるにはラッチ122を省略し、バッファ部123の後段に図16に示したトランスファゲートを設ければ良い。

【0158】

以上のように、nチャネル型TFTのみでゲート側駆動回路およびソース側駆動回路を形成することにより画素部および駆動回路をすべてnチャネル型TFTで形成することが可能となる。なお、ソース側駆動回路もしくはゲート側駆動回路のいずれか片方を外付けのICチップとする場合にも本発明は実施できる。

【0159】

〔実施例6〕

本実施例では、本発明のEL発光装置における画素構造の一例を図17に示す。図17(A)において、1701はゲート配線、1702はソース配線、1703は正電源線、1704は負電源線（接地電源線としても良い）である。また、1705～1708はE型NTFT、1509、1510はD型NTFTである。また、1711はEL素子であり、E型NTFT1708に接続される。

【0160】

本実施例の画素構造は、一画素の中に6個のTFTを設け、SRAM（スタティックランダムアクセスメモリ）を形成している。具体的には複数のE型NTFTおよび複数のD型NTFTでSRAMを形成している。このように本発明を実施するにあたって一画素に含まれるTFTの個数に限定はない。

【0161】

なお、本実施例の画素構造の場合、E型NTFT1705がスイッチングTFTとして機能し、E型NTFT1708が電流制御TFTとして機能する。また、E型NTFT1706およびD型NTFT1709からなるインバータ回路とE型NTFT1707およびD型NTFT1710からなるインバータ回路とを組み合わせ、メモリ機能を持たせている。

【0162】

さらに、図17（B）は図17（A）に示した隣接する二つの画素を負電源線1704を共通化して対称に配置した例である。これにより画素部に設ける配線の本数を低減することができ、画素の高密度化が図れる。

【0163】

なお、本実施例の構成は、実施例1～実施例5のいずれの構成とも組み合わせ、実施することが可能である。

【0164】

〔実施例7〕

実施例4もしくは実施例5に示したソース側駆動回路およびゲート側駆動回路は、液晶表示装置に用いることも可能である。即ち、図3（A）に示したEEMOS回路、図3（B）に示したEDMOS回路、図4に示したシフトレジスタ、図13に示したゲート側駆動回路もしくは図14に示したソース側駆動回路はいずれも液晶表示装置の駆動回路として用いることが可能である。

【0165】

なお、液晶表示装置とは液晶パネルにFPC（フレキシブルプリントサーキット）が取り付けられた液晶モジュールを指す。なお、液晶モジュールにはFPCの先にPWB（プリント配線基盤）が設けられている場合も含むものとする。

【 0 1 6 6 】

〔実施例 8〕

本発明を実施するにあたって、TFTとしてはトップゲート型TFT（代表的にはプレーナ型TFT）だけでなく、ボトムゲート型TFT（代表的には逆スタガ型TFT）を用いても良い。また、半導体基板（代表的にはシリコン基板）に形成したMOSFETを用いることも可能である。

【 0 1 6 7 】

なお、本実施例の構成は実施例 1 ～ 実施例 7 のいずれに含まれた構成とも組み合わせ実施することが可能である。

【 0 1 6 8 】

〔実施例 6〕

本発明を実施して形成された発光装置もしくは液晶表示装置は様々な電気器具の表示部として用いることができる。本発明の電気器具としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、カーナビゲーションシステム、カーオーディオ、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報機器（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍）、記録媒体を備えた画像再生装置などが挙げられる。それら電気器具の具体例を図 1 7、図 1 8 に示す。

【 0 1 6 9 】

図 1 7 (A) は EL ディスプレイであり、筐体 2 0 0 1、支持台 2 0 0 2、表示部 2 0 0 3 を含む。本発明の発光装置もしくは液晶表示装置は表示部 2 0 0 3 に用いることができる。表示部 2 0 0 3 に EL 発光装置を用いる場合、自発光型であるためバックライトが必要なく薄い表示部とすることができる。

【 0 1 7 0 】

図 1 7 (B) はビデオカメラであり、本体 2 1 0 1、表示部 2 1 0 2、音声入力部 2 1 0 3、操作スイッチ 2 1 0 4、バッテリー 2 1 0 5、受像部 2 1 0 6 を含む。本発明の発光装置もしくは液晶表示装置は表示部 2 1 0 2 に用いることができる。

【 0 1 7 1 】

図 1 7 (C) はデジタルカメラであり、本体 2 2 0 1、表示部 2 2 0 2、接眼部 2 2 0 3、操作スイッチ 2 2 0 4 を含む。本発明の発光装置もしくは液晶表示装置は表示部 2 2 0 2 に用いることができる。

【 0 1 7 2 】

図 1 7 (D) は記録媒体を備えた画像再生装置（具体的には DVD 再生装置）であり、本体 2 3 0 1、記録媒体（CD、LD または DVD 等） 2 3 0 2、操作スイッチ 2 3 0 3、表示部（a） 2 3 0 4、表示部（b） 2 3 0 5 を含む。表示部（a）は主として画像情報を表示し、表示部（b）は主として文字情報を表示するが、本発明の発光装置もしくは液晶表示装置はこれら表示部（a）、（b）に用いることができる。なお、記録媒体を備えた画像再生装置には、CD 再生装置、ゲーム機器なども含まれうる。

【 0 1 7 3 】

図 1 7 (E) は携帯型（モバイル）コンピュータであり、本体 2 4 0 1、表示部 2 4 0 2、受像部 2 4 0 3、操作スイッチ 2 4 0 4、メモリスロット 2 4 0 5 を含む。本発明の発光装置もしくは液晶表示装置は表示部 2 4 0 2 に用いることができる。この携帯型コンピュータはフラッシュメモリや不揮発性メモリを集積化した記録媒体に情報を記録したり、それを再生したりすることができる。

【 0 1 7 4 】

図 1 7 (F) はパーソナルコンピュータであり、本体 2 5 0 1、筐体 2 5 0 2、表示部 2 5 0 3、キーボード 2 5 0 4 を含む。本発明の発光装置もしくは液晶表示装置は表示部 2 5 0 3 に用いることができる。

【 0 1 7 5 】

また、上記電気器具はインターネットや CATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。表示部に EL 発光装置を用いた場合、EL 発光装置の応答速度が非常に高いため遅れの少ない動画表示が可能となる。

【 0 1 7 6 】

また、EL 発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特

に携帯電話やカーオーディオのような文字情報を主とする表示部に E L 発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【 0 1 7 7 】

ここで図 1 8 (A) は携帯電話であり、キー操作を行う部位 (操作部) 2 6 0 1、情報表示を行う部位 (情報表示部) 2 6 0 2 であり、操作部 2 6 0 1 および情報表示部 2 6 0 2 は連結部 2 6 0 3 で連結している。また、操作部 2 6 0 1 には音声入力部 2 6 0 4、操作キー 2 6 0 5 が設けられ、情報表示部 2 6 0 2 には音声出力部 2 6 0 6、表示部 2 6 0 7 が設けられている。

【 0 1 7 8 】

本発明の発光装置もしくは液晶表示装置は表示部 2 6 0 7 に用いることができる。なお、表示部 2 6 0 7 に E L 発光装置を用いる場合、黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【 0 1 7 9 】

図 1 8 (A) に示した携帯電話の場合、表示部 2 6 0 4 に用いた E L 発光装置に N M O S 回路でセンサ (N M O S センサ) を内蔵させ、指紋もしくは手相を読みとることで使用者を認証する認証システム用端末として用いることもできる。また、外部の明るさ (照度) を読みとり、設定されたコントラストで情報表示が可能となるように発光させることもできる。

【 0 1 8 0 】

さらに、操作スイッチ 2 6 0 5 を使用している時に輝度を下げ、操作スイッチの使用が終わったら輝度を上げることで低消費電力化することができる。また、着信した時に表示部 2 6 0 4 の輝度を上げ、通話中は輝度を下げることによって低消費電力化することができる。また、継続的に使用している場合に、リセットしない限り時間制御で表示がオフになるような機能を持たせることで低消費電力化を図ることもできる。なお、これらはマニュアル制御であっても良い。

【 0 1 8 1 】

また、図 1 8 (B) はオーディオであり、筐体 2 7 0 1、表示部 2 7 0 2、操作スイッチ 2 7 0 3、2 7 0 4 を含む。本発明の発光装置もしくは液晶表示装置

は表示部 2 7 0 2 に用いることができる。また、本実施例では車載用オーディオ（カーオーディオ）を示すが、据え置き型のオーディオ（オーディオコンポーネント）に用いても良い。なお、表示部 2 7 0 4 に E L 発光装置を用いる場合、黒色の背景に白色の文字を表示することで消費電力を抑えられる。

【 0 1 8 2 】

さらに、以上に示した電気器具は、表示部に用いた発光装置もしくは液晶表示装置に光センサを内蔵させ、使用環境の明るさを検知する手段を設けることもできる。表示部に E L 発光装置を用いる場合、使用環境の明るさに応じて発光輝度を変調させるような機能を持たせることもできる。

【 0 1 8 3 】

具体的には表示部に用いた E L 発光装置に N M O S 回路で形成したイメージセンサ（面状、線状もしくは点状のセンサ）を設けたり、本体もしくは筐体に C C D (Charge Coupled Device) を設けることで実施できる。使用者は使用環境の明るさに比べてコントラスト比で 1 0 0 ~ 1 5 0 の明るさを確保できれば問題なく画像もしくは文字情報を認識できる。即ち、使用環境が明るい場合は画像の輝度を上げて見やすくし、使用環境が暗い場合は画像の輝度を抑えて消費電力を抑えるといったことが可能である。

【 0 1 8 4 】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電気器具に用いることが可能である。また、本実施例の電気器具は実施例 1 ~ 5 のいずれの構成を含む発光装置もしくは液晶表示装置を用いても良い。

【 0 1 8 5 】

【発明の効果】

本発明を実施することにより、高い歩留まりで且つ低いコストで光取り出し効率の高い発光装置を製造することができ、画質が明るく安価な発光装置を提供することができる。また、画質が明るく安価な発光装置を表示部に用いることで画質が明るい表示部を有する安価な電気器具を提供することが可能となる。

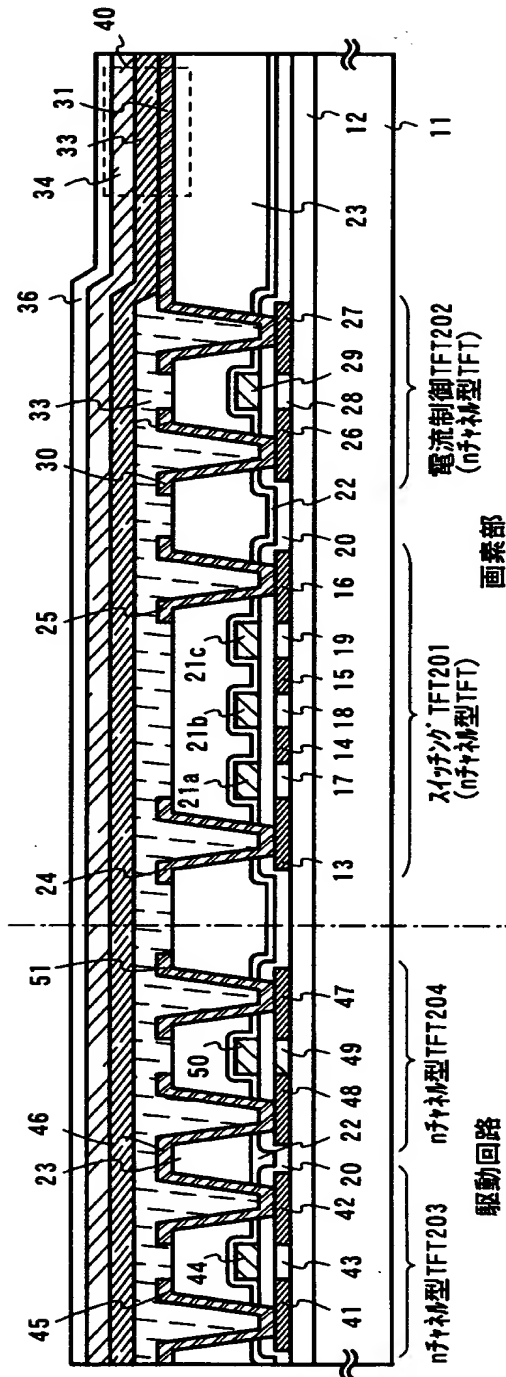
【図面の簡単な説明】

【図 1】 発光装置の断面構造を示す図。

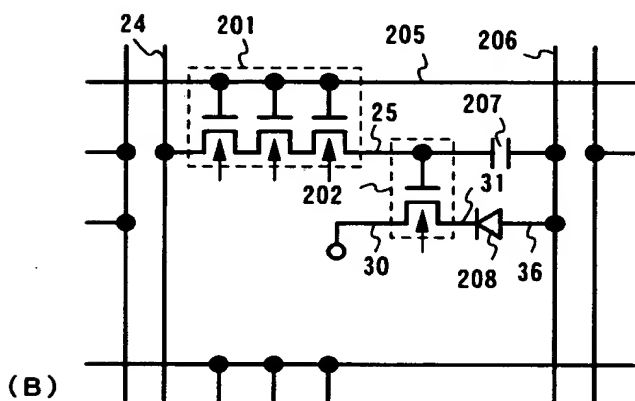
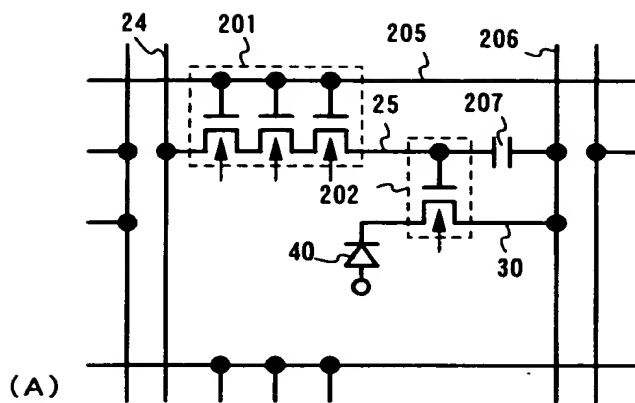
- 【図 2】 発光装置の画素部の回路構成を示す図。
- 【図 3】 NMOS 回路の構成を示す図。
- 【図 4】 シフトレジスタの構成を示す図。
- 【図 5】 EL 発光装置の製造工程を示す図。
- 【図 6】 EL 発光装置の製造工程を示す図。
- 【図 7】 EL 発光装置の製造工程を示す図。
- 【図 8】 EL 発光装置の回路ブロック構成を示す図。
- 【図 9】 EL 発光装置の断面構造を示す図。
- 【図 10】 EL 発光装置の断面構造を示す図。
- 【図 11】 EL 発光装置の製造工程を示す図。
- 【図 12】 ゲート側駆動回路の構成を示す図。
- 【図 13】 デコーダ入力信号のタイミングチャートを示す図。
- 【図 14】 ソース側駆動回路の構成を示す図。
- 【図 15】 ゲート側駆動回路の構成を示す図。
- 【図 16】 ソース側駆動回路の構成を示す図。
- 【図 17】 画素部の構成を示す図。
- 【図 18】 従来の EL 発光装置の断面構造を示す図。
- 【図 19】 画素の TFT の配置例を示す図。
- 【図 20】 電気器具の具体例を示す図。
- 【図 21】 電気器具の具体例を示す図。

【書類名】 図面

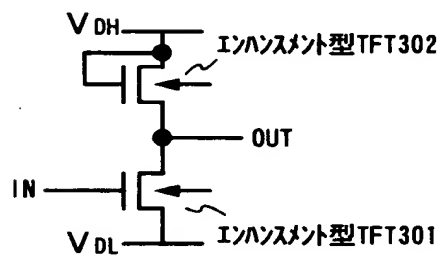
【図 1】



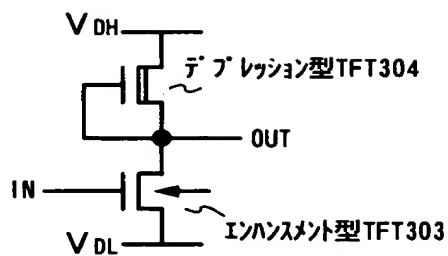
【図 2】



【図 3】

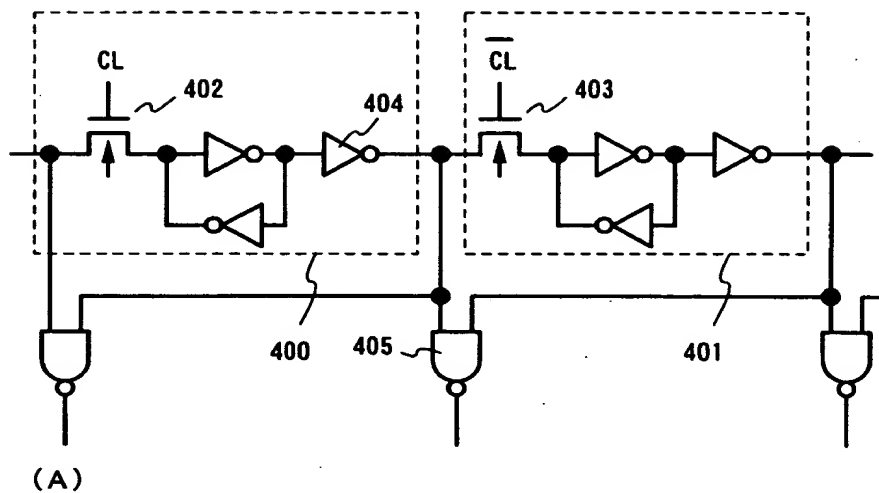


(A) EEMOS回路

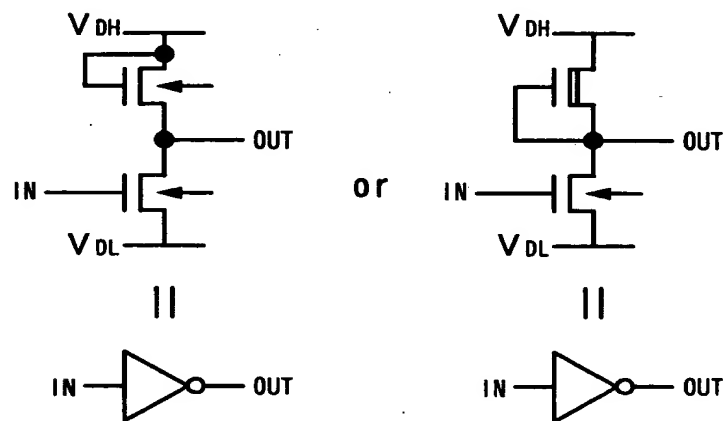


(B) EDMOS回路

【図 4】

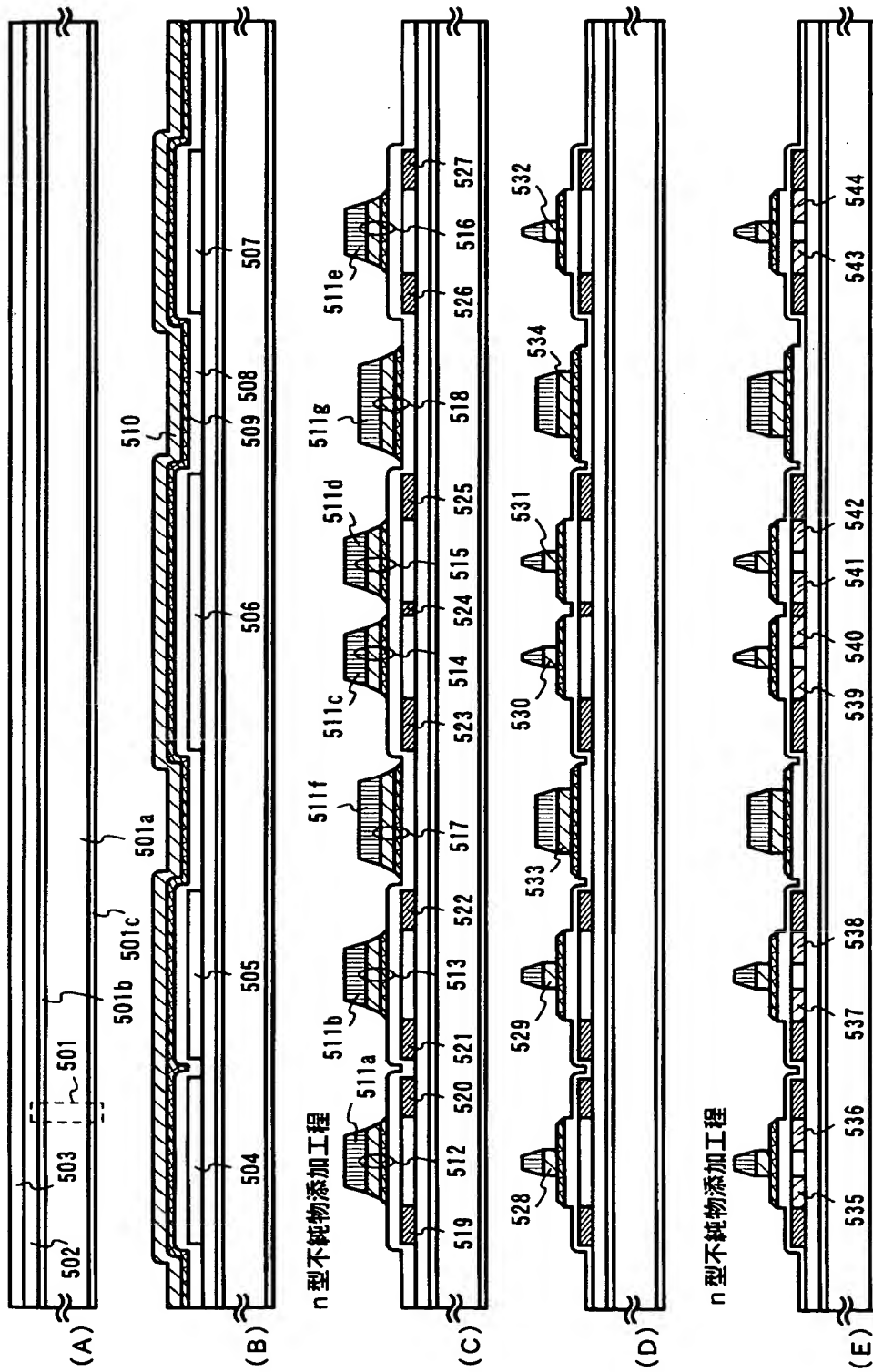


(A)



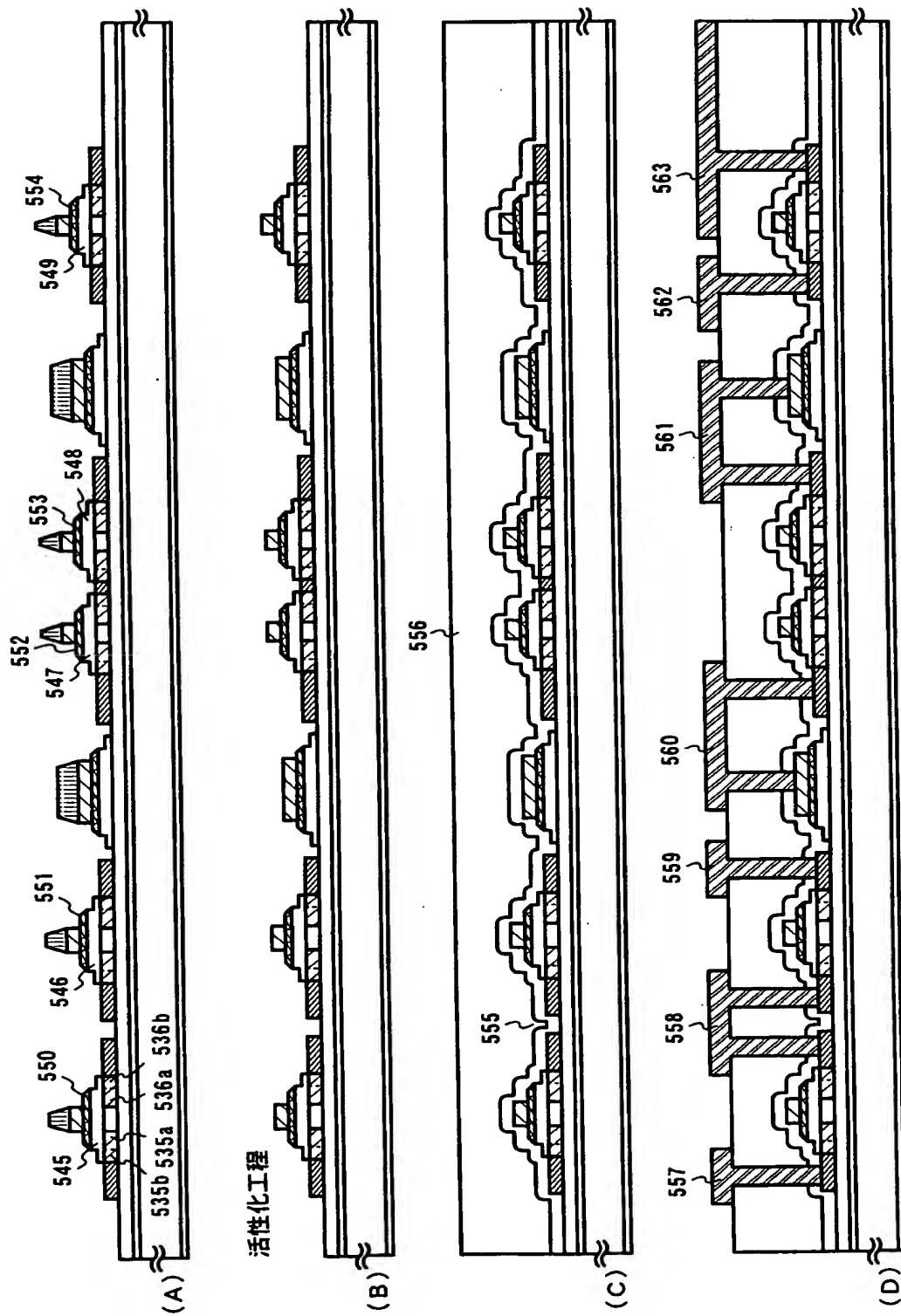
(B)

【図 5】



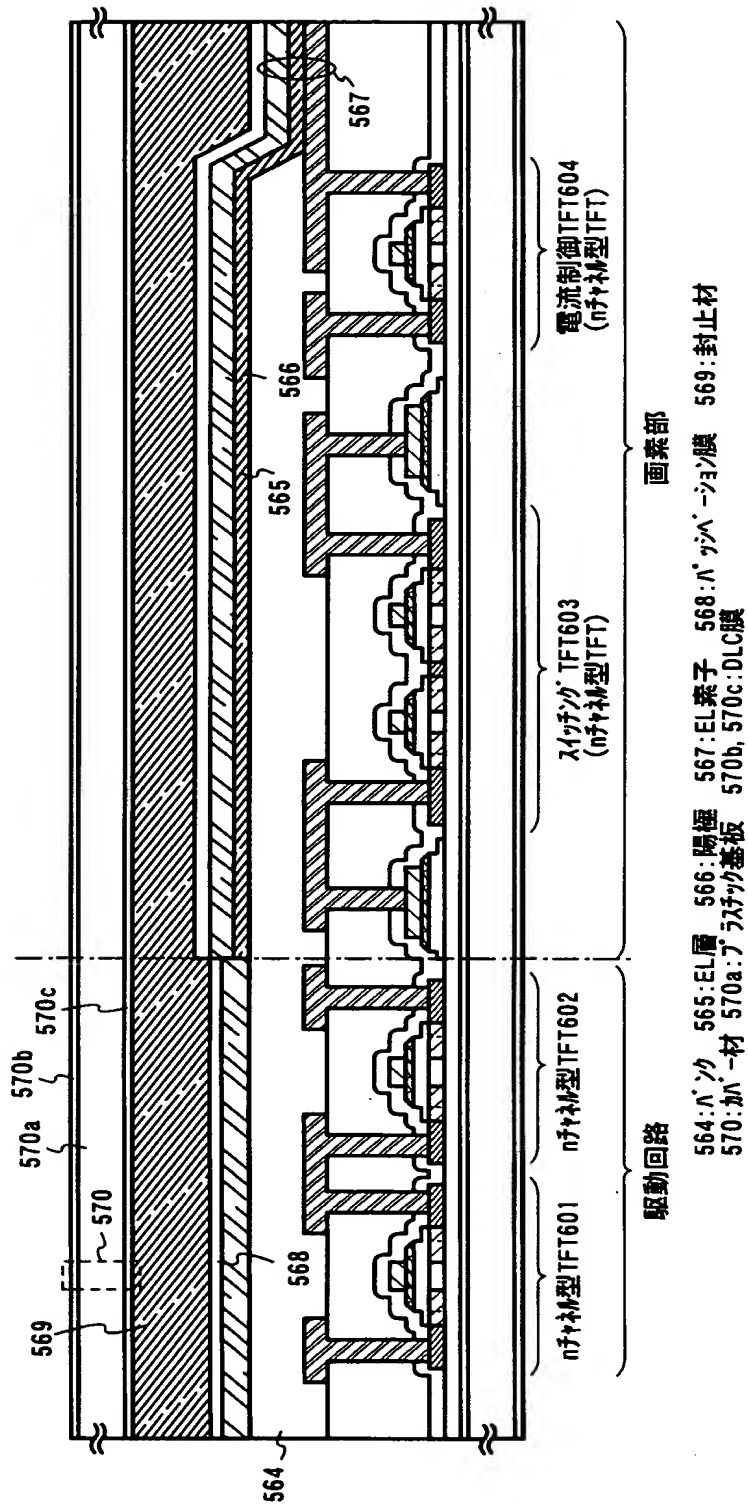
501a: プラズマ基板 501b, 501c: DLC膜 502: 下地膜 503: 結晶質珪素膜 504~507: 半導体膜 508: ゲート絶縁膜
 509: 第1導電膜 510: 第2導電膜 511a~511f: V₂O₅配線 512~516, 528~532: ゲート電極 517: V₂O₅配線
 518: 第1V₂O₅配線 519~527: n型不純物領域(a) 528, 529, 530, 531, 532: 第2ゲート電極 533: 第2V₂O₅配線
 534: 第2V₂O₅配線 535~544: n型不純物領域(b)

【図 6】

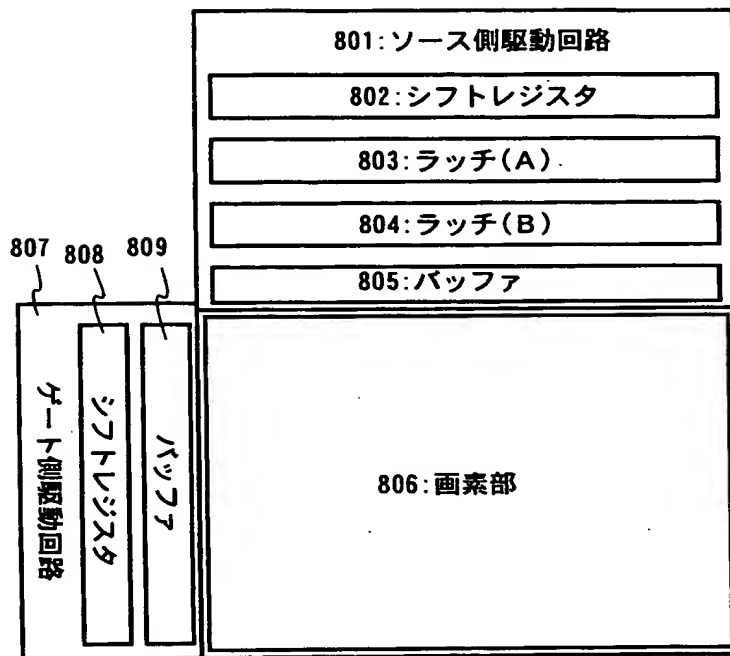


545~549:ゲート絶縁膜 550~554:第1ゲート電極 555:無機絶縁膜 556:有機絶縁膜
557~562:配線 563:画素電極(陽極)

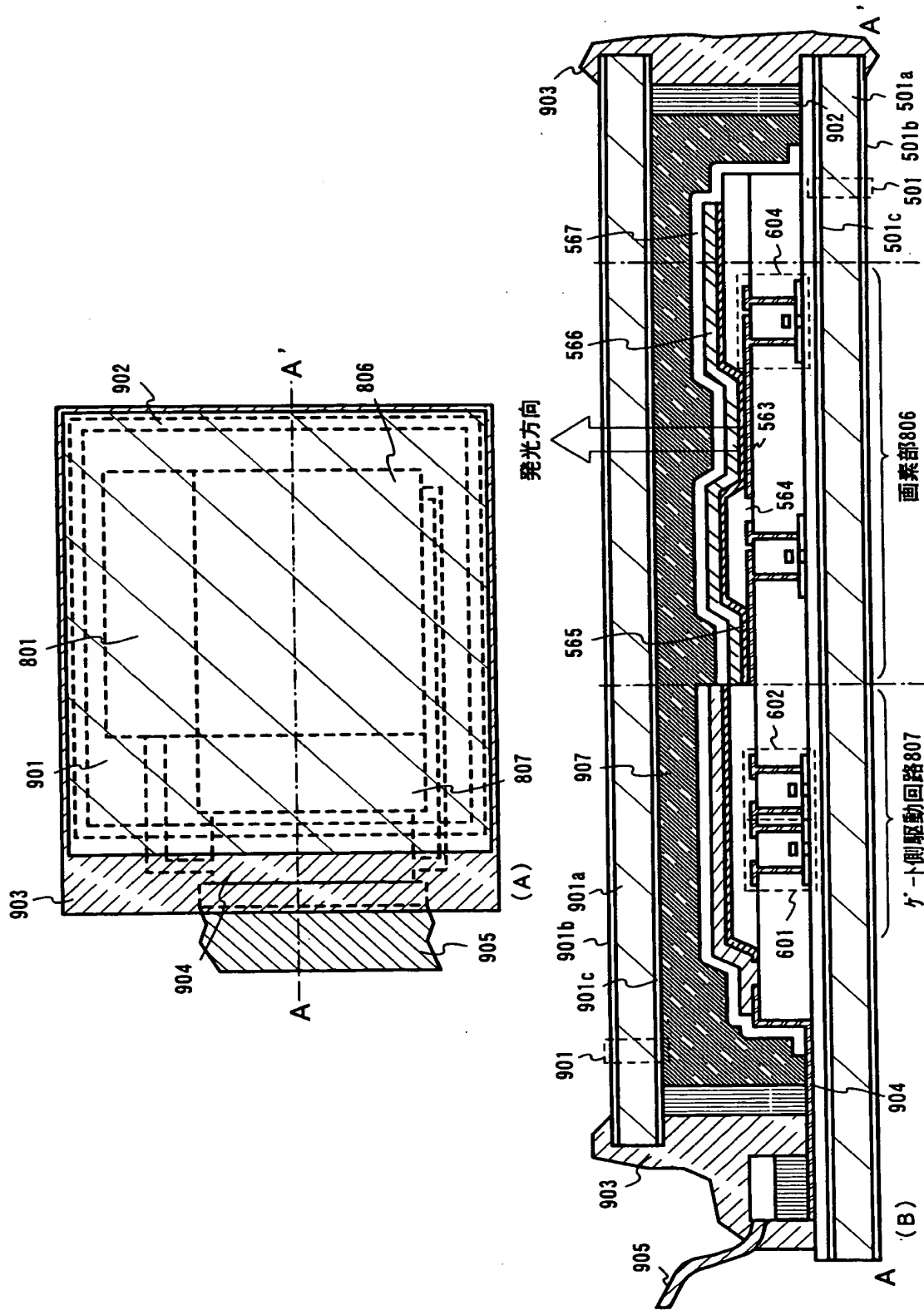
【図7】



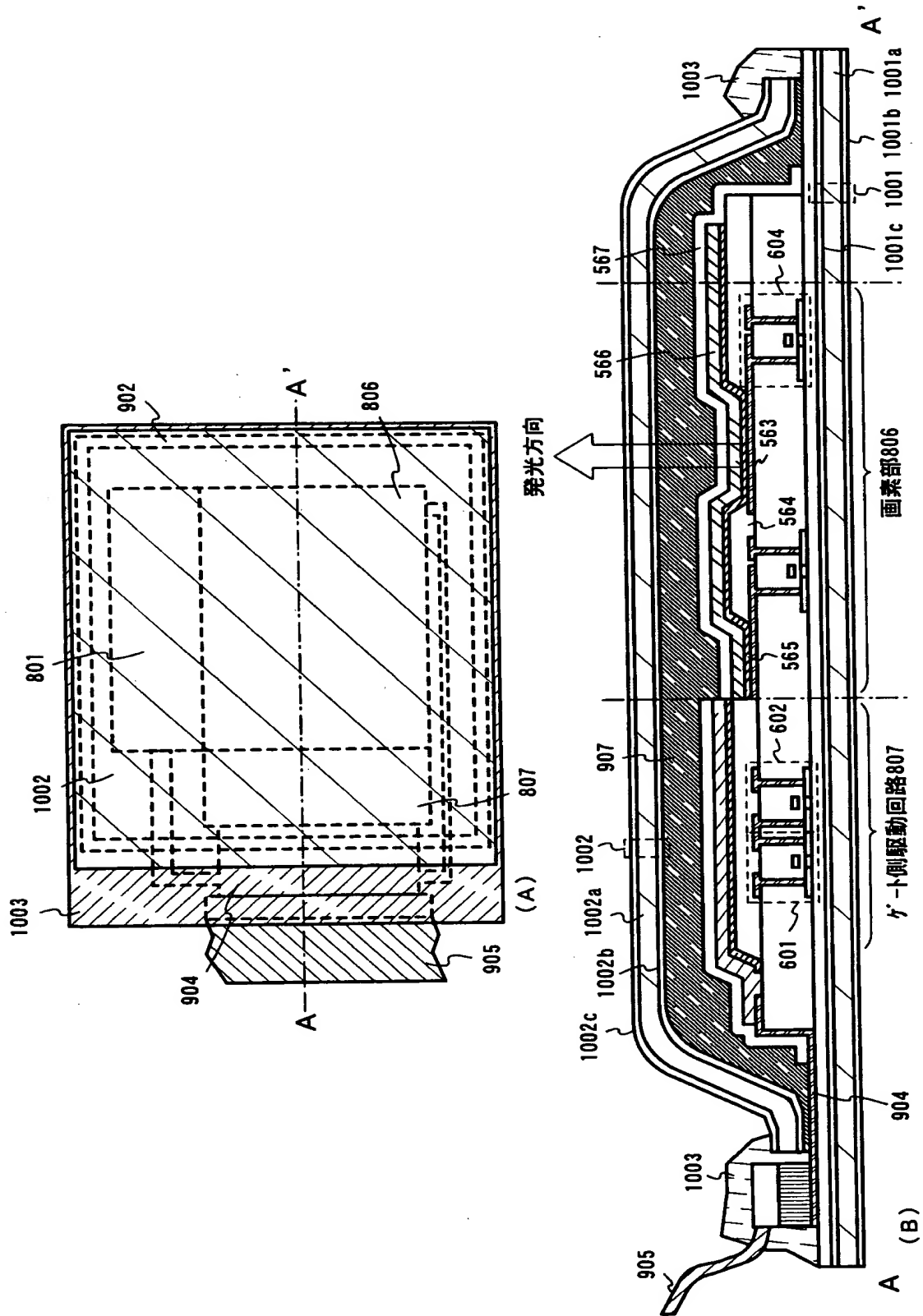
【図 8】



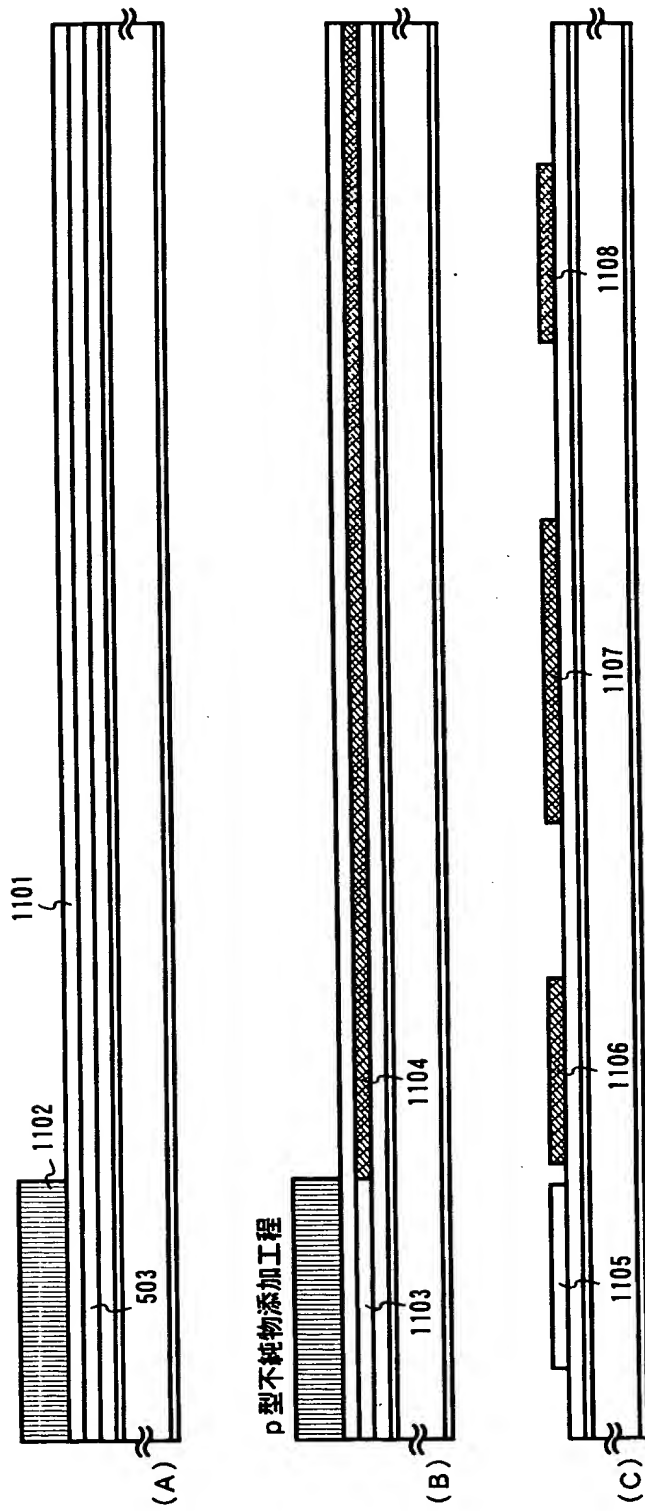
【図 9】



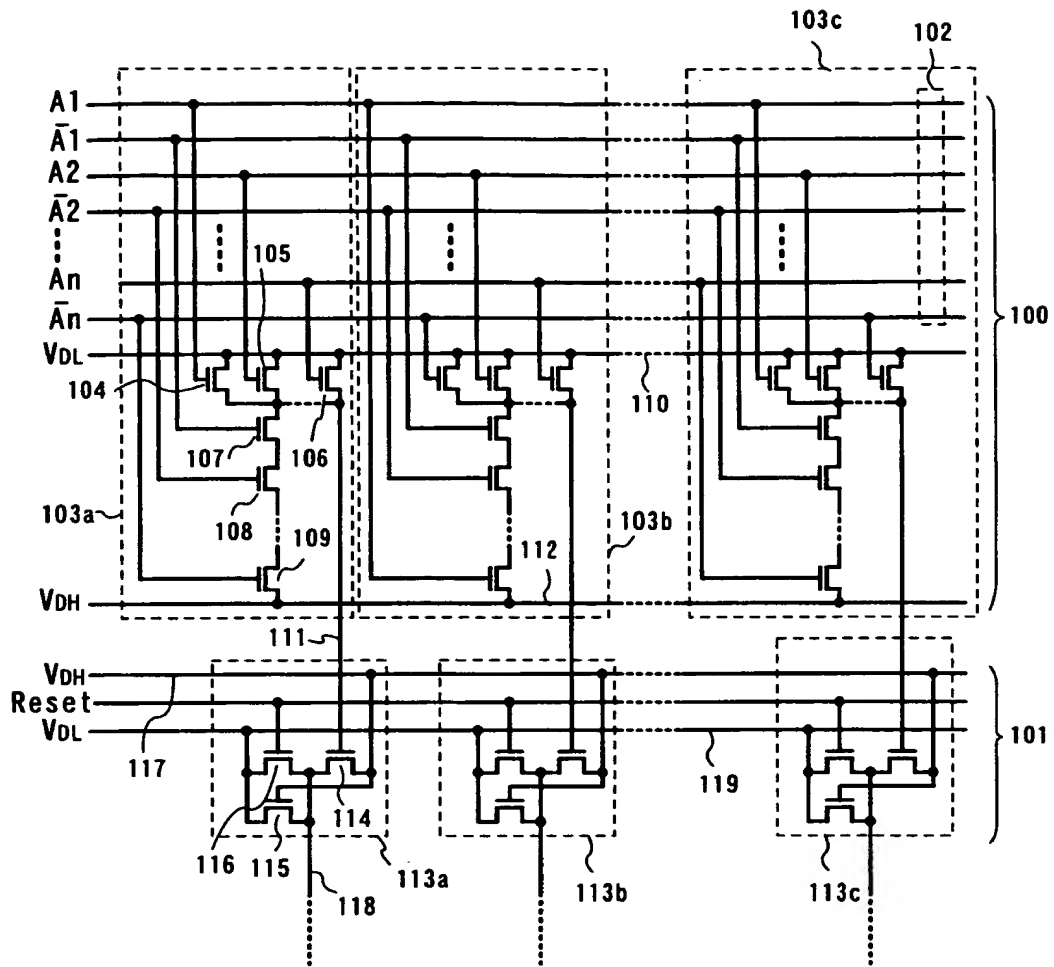
【図10】



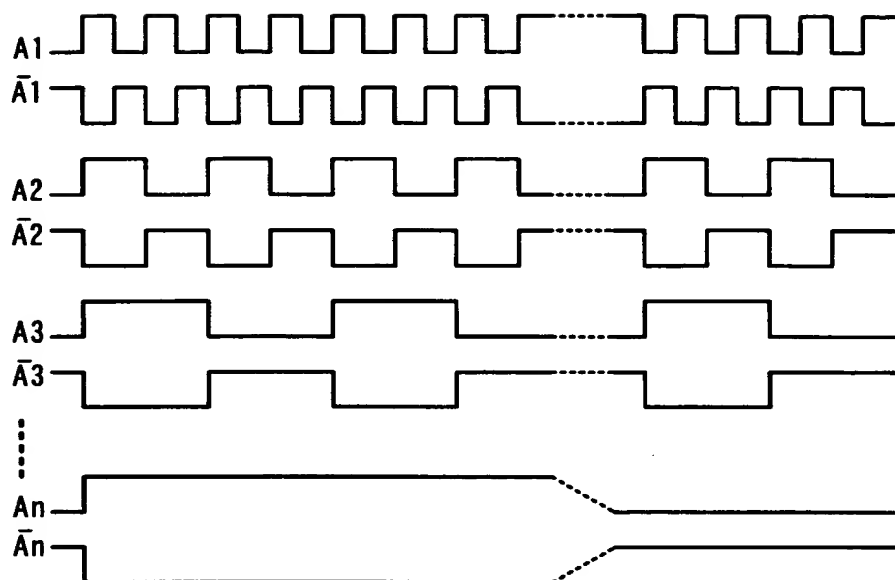
【図 1 1】



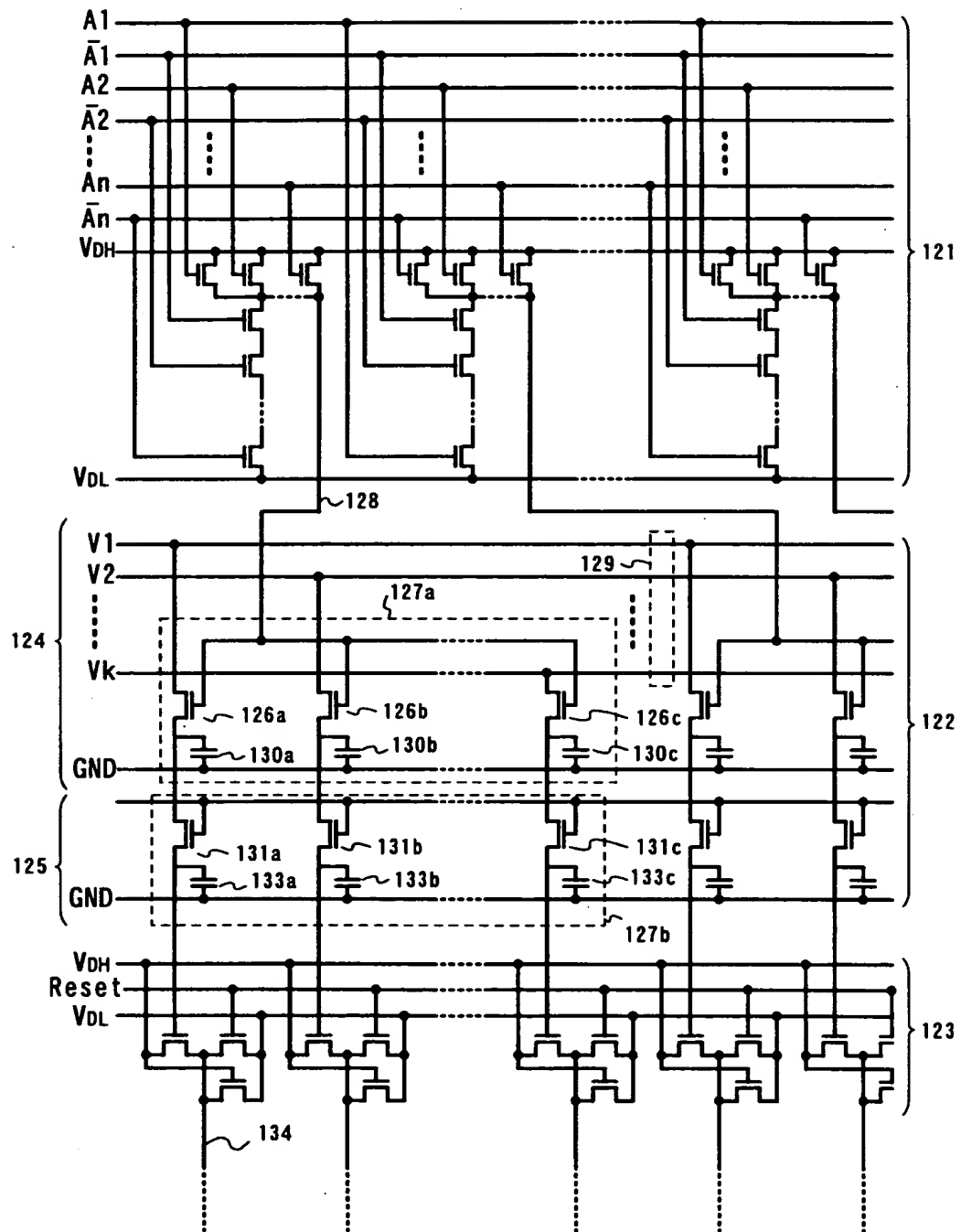
【図 1 2】



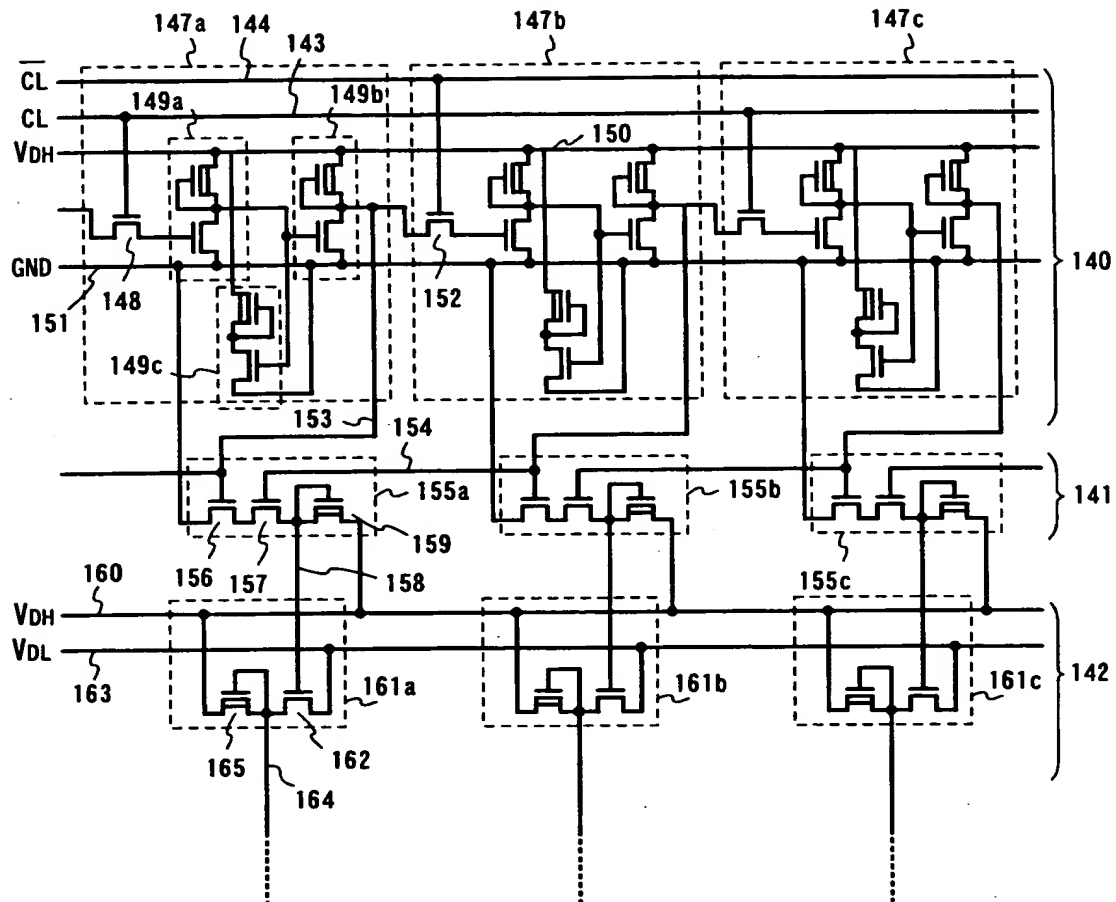
【図 1 3】



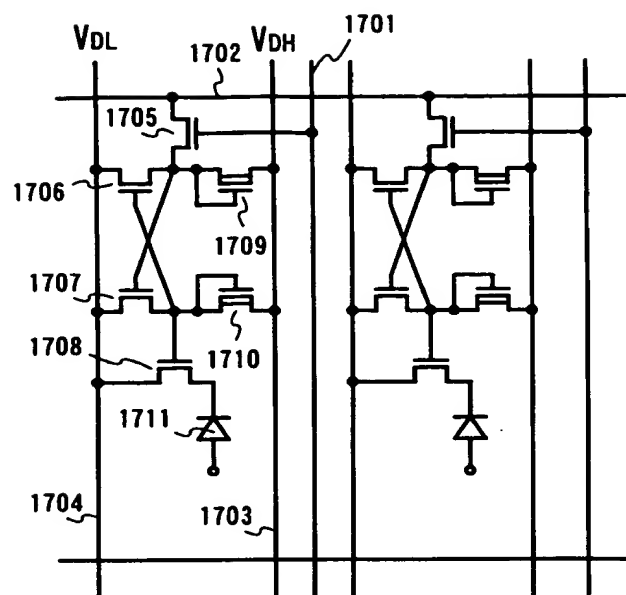
【図 14】



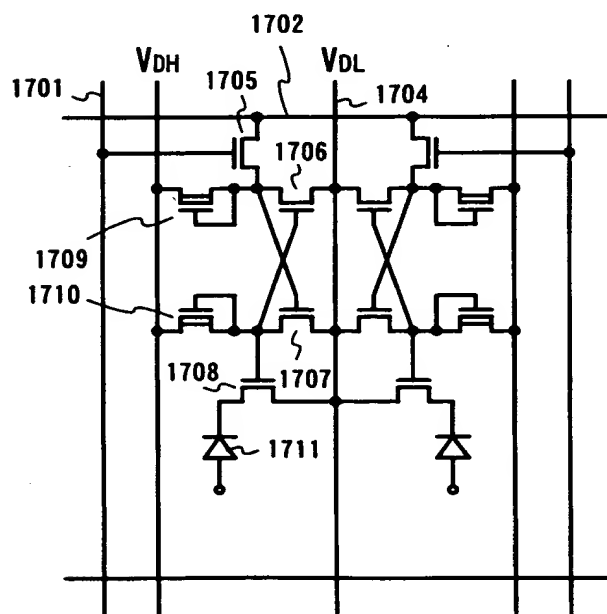
【図 1 5】



【図 17】

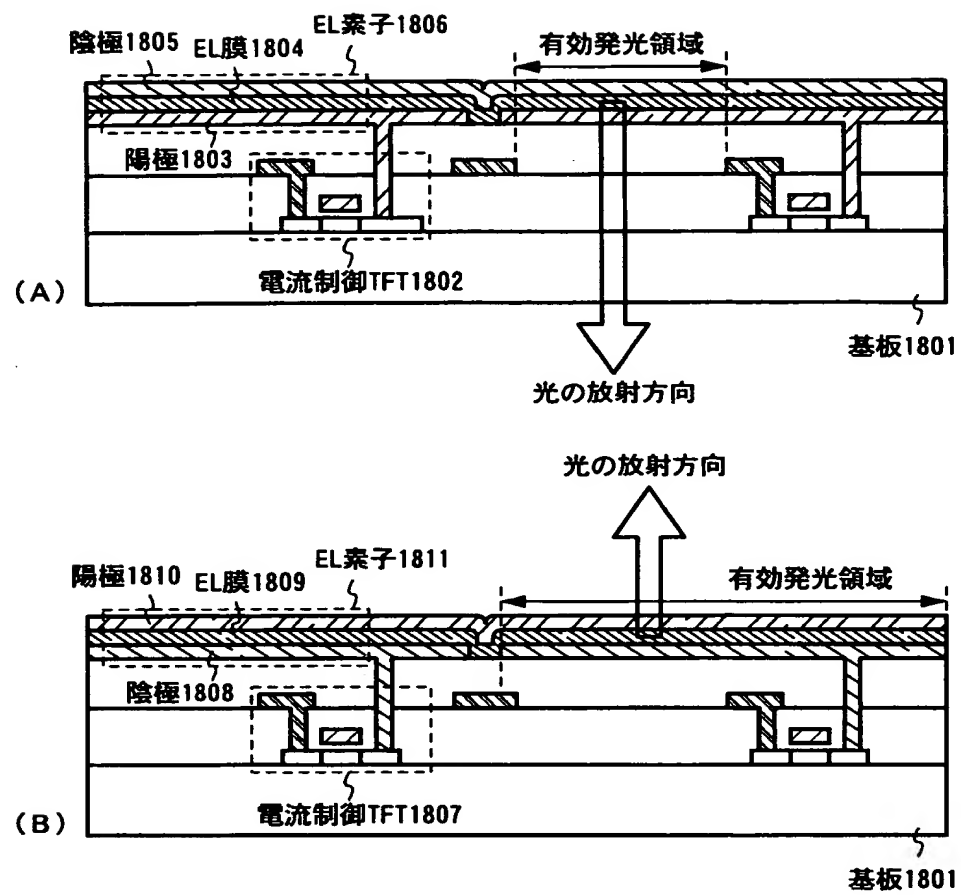


(A)

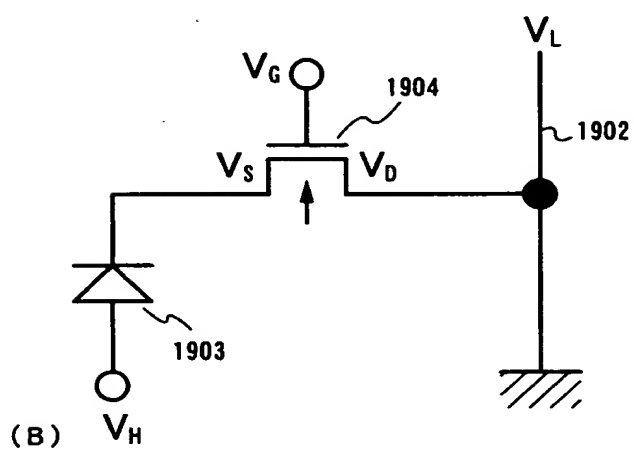
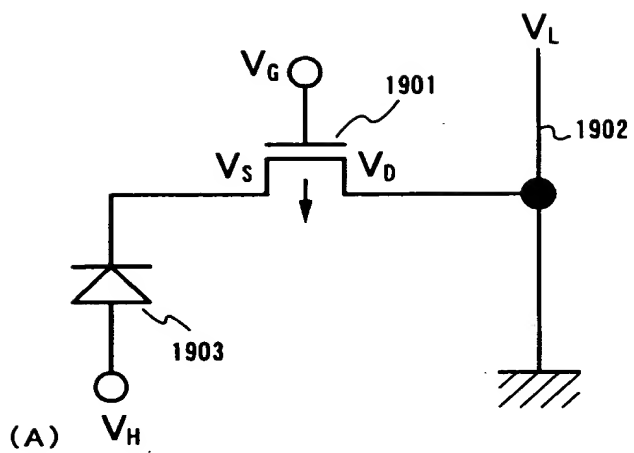


(B)

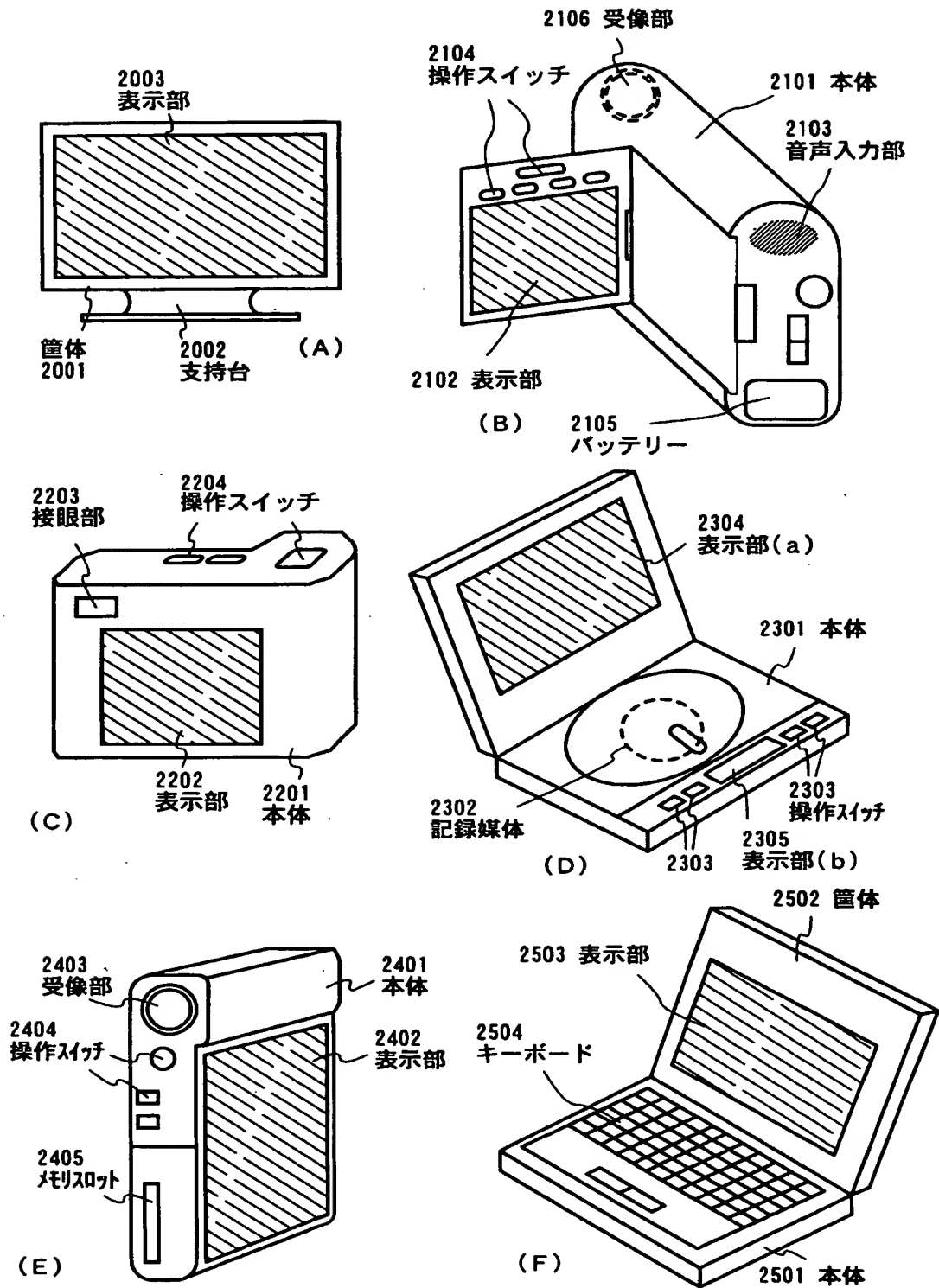
【図 1 8】



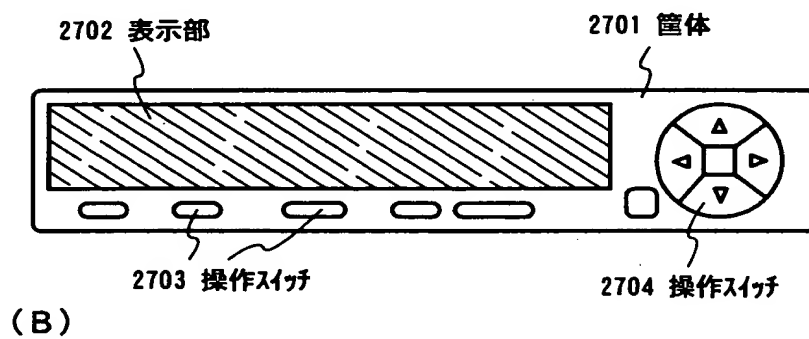
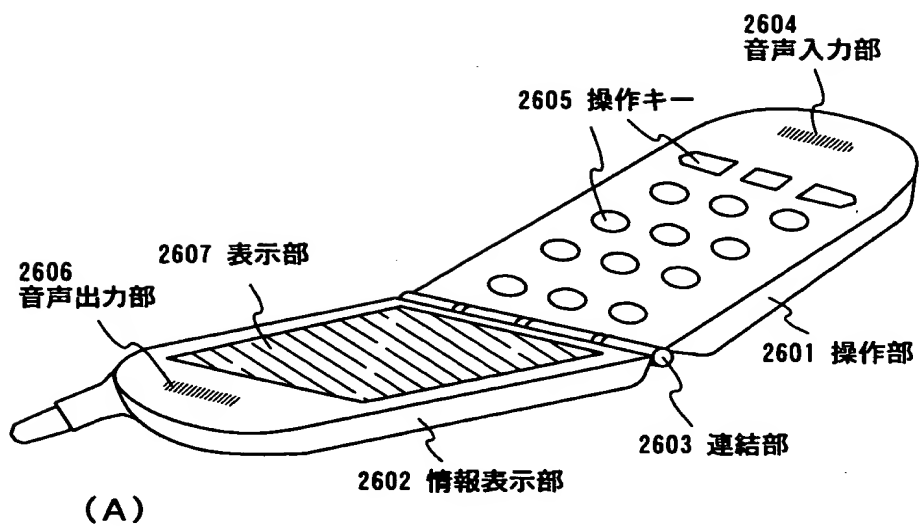
【図 1 9】



【図 20】



【図 2 1】



【書類名】 要約書

【要約】

【課題】 画質が明るく安価な発光装置およびそれを用いた電気器具を提供する

。【解決手段】 同一の絶縁体上に画素部および駆動回路を含む発光装置において、画素部および駆動回路は全て n チャンネル型の半導体素子で形成され、製造工程が簡略化されている。また、画素部に設けられた発光素子は、絶縁体から遠ざかる方向に放射されるため、ほぼ画素電極（EL 素子の陰極に相当する）全体が有効発光領域となる、従って画質が明るく安価な発光装置が得られる。

【選択図】 なし

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日

[変更理由] 新規登録

住 所 神奈川県厚木市長谷398番地

氏 名 株式会社半導体エネルギー研究所